

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-101426

(43)Date of publication of application : 05.04.2002

(51)Int.Cl.

H04N 11/20
H04N 5/262
H04N 9/74

(21)Application number : 2000-292314

(71)Applicant : SONY CORP

(22)Date of filing : 26.09.2000

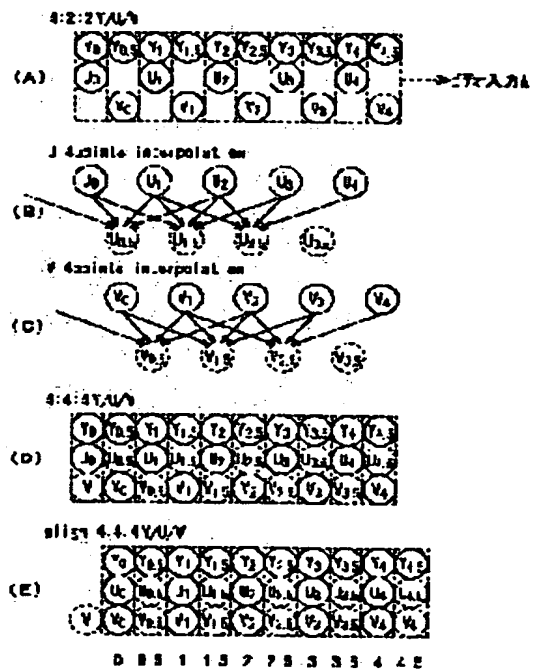
(72)Inventor : NAGASAKI TANIO

(54) IMAGE PROCESSING UNIT AND METHOD, AND RECORDING MEDIUM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image processing unit that can efficiently utilize a memory and applies a processing with respect to color control to a video signal.

SOLUTION: An HDFF(horizontal defocus filter) for the DME(digital multi-effects) interpolates each of color difference signals U, V of a received video signal with a form of 4:2:2 as shown in Figure 3(A) by using in total 4, two each of preceding and succeeding color difference signals U, V as shown in Figures (B), (C) and outputs the interpolated signals together with a corresponding luminance signal Y as shown in Figure (D). That is, the HDFF converts the video signal with a form 4:2:2 into a video signal with a form of 4:4:4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-101426

(P2002-101426A)

(43) 公開日 平成14年4月5日 (2002.4.5)

(51) Int. CL⁷

識別記号

F I

子-コード⁷ (参考)

H 0 4 N 11/20
5/262
9/74

H 0 4 N 11/20
5/262
9/74

5 C 0 2 3
5 C 0 5 7
Z 5 C 0 6 6

審査請求 未請求 請求項の数 7 O L (全 30 頁)

(21) 出願番号 特願2000-292314 (P2000-292314)

(22) 出願日 平成12年9月26日 (2000.9.26)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 長▲崎▼ 多仁生

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100082131

弁理士 橋本 茂雄

最終頁に続く

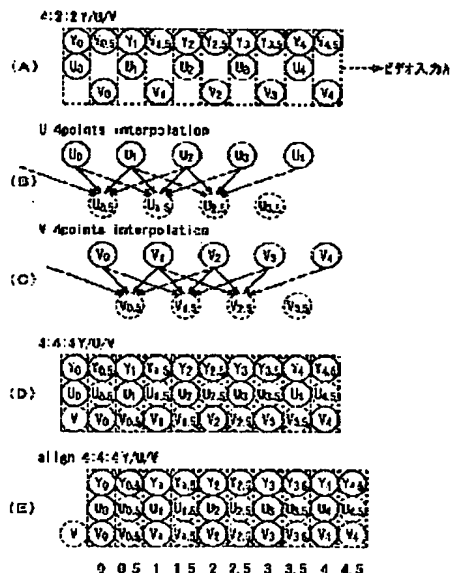
(54) 【発明の名称】 画像処理装置および方法、並びに記録媒体

(57) 【要約】

【課題】 メモリを効率的に利用でき、かつ、色操作に関する処理を施すことを可能とする。

【解決手段】 DMEのHDFIは、図3 (A) に示すように入力される4 : 2 : 2の映像信号の色差信号U、Vのそれぞれを、同図 (B)、(C) に示すように前後2個ずつ合計4個の色差信号U、Vを用いて補間し、同図

(D) に示すように、対応する輝度信号Yと同時に出力する。すなわち、HDFIは、4 : 2 : 2の映像信号を4 : 4 : 4の映像信号に変換する。



【特許請求の範囲】

【請求項1】 輝度信号および色差信号を少なくとも含む映像信号を補間する画像処理装置において、画素に対応する前記映像信号を順次入力する入力手段と、

前記入力手段が順次入力した前記映像信号から前記色差信号を分離する分離手段と、

前記分離手段が分離した連続する複数の前記色差信号を用いて、所定の位置に対応する色差信号を補間する補間手段と、

前記補間手段が補間した前記色差信号に対応する輝度信号と同時に出力する出力手段とを含むことを特徴とする画像処理装置。

【請求項2】 前記映像信号は、輝度信号Y、色差信号U、および色差信号Vから構成される4:2:2の映像信号であることを特徴とする請求項1に記載の画像処理装置。

【請求項3】 前記補間手段は、前記分離手段が分離した連続する4個の前記色差信号を用いて、第2番目と第3番目の前記色差信号の中間の位置に対応する前記色差信号を補間することを特徴とする請求項1に記載の画像処理装置。

【請求項4】 前記入力手段は、水平走査の順序で前記画素に対応する前記映像信号を入力することを特徴とする請求項1に記載の画像処理装置。

【請求項5】 前記入力手段が順次入力した前記映像信号の高周波成分を除去する除去手段をさらに含むことを特徴とする請求項1に記載の画像処理装置。

【請求項6】 輝度信号および色差信号を少なくとも含む映像信号を補間する画像処理装置の画像処理方法において、

画素に対応する前記映像信号を順次入力する入力ステップと、

前記入力ステップの処理で順次入力された前記映像信号から前記色差信号を分離する分離ステップと、

前記分離ステップの処理で分離された連続する複数の前記色差信号を用いて、所定の位置に対応する色差信号を補間する補間ステップと、

前記補間ステップの処理で補間された前記色差信号に対応する輝度信号と同時に出力する出力ステップとを含むことを特徴とする画像処理方法。

【請求項7】 輝度信号および色差信号を少なくとも含む映像信号を補間する画像処理用のプログラムであって、

画素に対応する前記映像信号を順次入力する入力ステップと、

前記入力ステップの処理で順次入力された前記映像信号から前記色差信号を分離する分離ステップと、

前記分離ステップの処理で分離された連続する複数の前記色差信号を用いて、所定の位置に対応する色差信号を

補間する補間ステップと、

前記補間ステップの処理で補間された前記色差信号に対応する輝度信号と同時に出力する出力ステップとを含むことを特徴とするコンピュータが読み取り可能なプログラムが記録されている記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像処理装置および方法、並びに記録媒体に関し、例えば、画像の形状を任意に変形して表示させる場合に用いて好適な画像処理装置および方法、並びに記録媒体に関する。

【0002】

【従来の技術】ディジタルストレージ(Digital Storage)の出現は、テレビジョン番組の制作手法の技術的進歩に大きく貢献している。ディジタルストレージのうちのDRAM(Dynamic Random Access Memory)は、その記録容量が1本の定着線、1枚のフィールドの画像、1枚のフレームの画像、さらには一連の複数の画像を記録できるように徐々に増加されてきた。また、その製造コスト、回路規模、消費電力等を考慮した場合においても、経済的に実用可能なものである。

【0003】DRAMのようなディジタルストレージの適用例としては、テレビジョン番組の制作時などにおいて画像を任意の形状に変形したり、移動させる際に用いる、いわゆるDME(Digital Multi Effects)が挙げられる。

【0004】

【発明が解決しようとする課題】ところで、従来のDME等においては、ある位置の映像信号をその近傍に位置する画素の映像信号を用いて補間することが行われるが、DME等に入力される映像信号が4:2:2(Y/U/V)であり、すなわち、輝度信号Yに対応する色差信号U、Vの幾何学的な位置がずれていることから、メモリを効率的に利用することができない課題があった。

【0005】また、輝度信号Yと色差信号U、Vの空間周波数が異なっているため、色付きスポットライト効果や色変化付きトレイル効果等の色操作に関する処理を施すことができない課題があった。

【0006】本発明はこのような状況に鑑みてなされたものであり、4:2:2(Y/U/V)の映像信号を、4:4:4(Y/U/V)の映像信号を交換することによって、メモリを効率的に利用でき、かつ、色操作に関する処理を施すことができるようにすることを目的とする。

【0007】

【課題を解決するための手段】本発明の画像処理装置は、画素に対応する映像信号を順次入力する入力手段と、入力手段が順次入力した映像信号から色差信号を分離する分離手段と、分離手段が分離した連続する複数の色差信号を用いて、所定の位置に対応する色差信号を補間する補間手段と、補間手段が補間した色差信号に対応

する輝度信号と同時に出力する出力手段とを含むことを特徴とする。

【0008】前記補間手段には、分離手段が分離した連続する4個の色差信号を用いて、第2番目と第3番目の色差信号の中間の位置に対応する色差信号を補間させるようにすることができる。

【0009】前記入力手段には、水平走査の順序で画素に対応する映像信号を入力させるようにすることができる。

【0010】本発明の画像処理装置は、入力手段が順次入力した映像信号の高周波成分を除去する除去手段をさらに含むことができる。

【0011】本発明の画像処理方法は、画素に対応する映像信号を順次入力する入力ステップと、入力ステップの処理で順次入力された映像信号から色差信号を分離する分離ステップと、分離ステップの処理で分離された連続する複数の色差信号を用いて、所定の位置に対応する色差信号を補間する補間ステップと、補間ステップの処理で補間された色差信号に対応する輝度信号と同時に出力する出力ステップとを含むことを特徴とする。

【0012】本発明の記録媒体のプログラムは、画素に対応する映像信号を順次入力する入力ステップと、入力ステップの処理で順次入力された映像信号から色差信号を分離する分離ステップと、分離ステップの処理で分離された連続する複数の色差信号を用いて、所定の位置に対応する色差信号を補間する補間ステップと、補間ステップの処理で補間された色差信号に対応する輝度信号と同時に出力する出力ステップとを含むことを特徴とする。

【0013】本発明の画像処理装置および方法、並びに記録媒体のプログラムにおいては、画素に対応する映像信号が順次入力され、順次入力された映像信号から色差信号が分離され、分離された連続する複数の色差信号が用いられ所定の位置に対応する色差信号が補間され、補間された色差信号が対応する輝度信号と同時に出力される。

【0014】

【発明の実施の形態】本発明を適用した画像合成装置について、図1を参照して説明する。図1は、画像合成装置の構成例を示すブロック図である。この画像合成装置は、例えば、テレビジョン放送番組の制作時などに用いられるものであり、変形、移動等のディジタル画像処理を施したビデオ入力Aの映像と、ビデオ入力Bの映像とを合成して出力する。

【0015】画像合成装置は、ユーザの操作を検知して対応する操作信号を制御回路2に出力するレバーアーム1、ドライブ5を制御して磁気ディスク6（フロッピーディスクを含む）、光ディスク7（CD-ROM(Compact Disc-Read Only Memory)、DVD(Digital Versatile Disc)を含む）、光磁気ディスク8（MD(Mini Disc)を含む）、

または半導体メモリ9に記憶されている制御用プログラムを読み出させ、読み出させた制御用プログラム、レバーアーム1からの操作信号等に基づいて画像合成装置の全体を制御する制御回路2、ビデオ入力Aに対してディジタル画像処理を施して合成回路4に出力するDME3、および、ビデオ入力Bの映像にディジタル画像処理が施されたビデオ入力Aの映像を重ねて後段に出力する合成回路4から構成される。

【0016】次に、画像合成装置の動作について説明する。ビデオ入力Aの映像は、レバーアーム1に対するユーザの操作に対応するディジタル画像処理がDME3によって施され、合成回路4によってビデオ入力Bの映像に重畳されて出力される。

【0017】図2は、DME3の構成例を示している。DME3に入力されるビデオ入力Aは、4:2:2:4(Y/U/V/K)のHDフォーマット（例えば、1080i×1920）の映像信号（30ビット幅）、すなわち、10ビット幅の輝度信号Y、それぞれ5ビット幅の色差信号U、V、および10ビット幅のキー信号Kから構成される映像信号を想定している。なお、ビデオ入力Aとしては、HD(High Definition)フォーマットの映像信号の他、SD(Standard Definition)フォーマットの映像信号（例えば、480i×720）や、他のフォーマットの映像信号を入力することが可能である。

【0018】なお、図2においては、輝度信号Yを信号Yと表示し、それぞれ5ビット幅の色差信号U、Vを統合して10ビット幅のC信号と表示し、キー信号KをK信号と表示している。

【0019】DME3の水平ディフォーカスフィルタ（以下、HDF(Horizontal Defocus Filter)と記述する）11は、水平走査の順序で入力される輝度信号Yに1次元ローパスフィルタ処理を施すHフィルタ12、水平走査の順序で入力されるキー信号Kに1次元ローパスフィルタ処理を施すHフィルタ13、および、水平走査の順序で入力される色差信号U、Vをそれぞれ補間した後（詳細は図3乃至図6を参照して後述する）、1次元ローパスフィルタ処理を施すHフィルタ14によって構成される。したがって、HDF11の後段のスキャンコンバータ15には、4:4:4:4の映像信号（40ビット幅）が供給される。

【0020】スキャンコンバータ15は、HDF11から水平走査の順序で入力される映像信号を保持し、保持した映像信号を垂直方向に走査して、すなわち、走査方向を水平方向から垂直方向に変換して、パーティカルディフォーカスフィルタ（以下、VDF(Vertical Defocus Filter)と記述する）16に出力する。

【0021】また、スキャンコンバータ15は、VDF16から垂直走査の順序で戻される映像信号（40ビット幅）のうちの色差信号U、Vのビット幅を削減してバッファ20に出力する。

【0022】さらに、スキャンコンバータ15は、Vdff16から戻される映像信号がSDフォーマットである場合、そのフィールド画像をフレーム画像に変換、補間してバッファ20に出力する。なお、Vdff16から入力される映像信号がHDフォーマットである場合、フィールド画像の状態でバッファ20に出力する。

【0023】Vdff16は、垂直走査の順序で入力される輝度信号Yに1次元ローパスフィルタ処理を施すVフィルタ17、垂直走査の順序で入力されるキー信号Kに1次元ローパスフィルタ処理を施すVフィルタ18、および、垂直走査の順序で入力される色差信号U、Vに1次元ローパスフィルタ処理を施すVフィルタ19から構成される。Vdff16は、垂直方向の1次元ローパスフィルタ処理を施した4:4:4の映像信号(40ビット幅)をスキャンコンバータ15に戻す。

【0024】バッファ20は、ZBT SRAM(Zero Bus Turn around Static Random Access Memory)より成り、スキャンコンバータ15から供給される映像信号を、アドレスジェネレータ21から供給されるライトアドレス(write addr)に従って書き込み、また、アドレスジェネレータ21から供給されるリードアドレス(read addr)に従って4画素単位で読み出し、補間回路22に出力する。

【0025】補間回路22は、バッファ20から4画素単位で入力される映像信号を用い、当該4画素の内側の所定の位置に対応する映像信号を補間して合成回路4に出力する。

【0026】なお、アドレスジェネレータ15および補間回路22は、FPGA(Field Programmable Gate Array)によって構成するようにしてもよい。

【0027】次に、Hdff11に入力される4:2:2:4の映像信号のうちの色差信号U、VをHフィルタ14によってそれぞれ補間し、4:4:4:4の映像信号に変換する処理について、図3乃至図6を参照して説明する。なお、以下の説明においては、キー信号Kに関する表記を省略して、4:2:2(Y/U/V)の映像信号、または4:4:4の映像信号とも記述する。

【0028】図3は、色差信号U、Vを補間する処理の概念を示している。

【0029】図3(A)は、水平走査の順序でHdff11に入力される映像信号を示している。すなわち、Hdff11には、ある画素(第0番の画素)に対応する輝度信号Y₀と、第0番の画素に対応する色差信号U₀が同時に入力される。次のクロックにおいて、第0番の右隣に位置する第1番の画素に対応する輝度信号Y₁と、第1番の画素に対応する色差信号U₁が同時に入力される。以下同様、第N番の画素に対応する輝度信号Y_Nと、第N番の画素に対応する色差信号U_Nが同時に入力され、次の

クロックにおいて、第N番の右隣に位置する第(N+0.5)番の画素に対応する輝度信号Y_{N+0.5}と、第N番の画素に対応する色差信号V_Nが同時に入力される。

【0030】図3(A)に示したように、第N番の画素に対応する輝度信号Y_Nと色差信号U_N、V_Nが同時に入力されることはなく、また、第(N+0.5)番の画素に対応する色差信号U_{N+0.5}、V_{N+0.5}は存在しない。そこで、輝度信号Y_Nと色差信号U_N、V_Nとの入力タイミングを揃え、かつ、輝度信号と色差信号の空間周波数を統一するために第(N+0.5)番の画素に対応する色差信号U_{N+0.5}、V_{N+0.5}を補間する。

【0031】第(N+0.5)番の画素に対応する色差信号U_{N+0.5}を補間する場合、図3(B)に示すように、左右に隣接する画素の色差信号、すなわち、第(N-1)番の画素に対応する色差信号U_{N-1}、第N番の画素に対応する色差信号U_N、第(N+1)番の画素に対応する色差信号U_{N+1}を用いて補間する。

【0032】同様に、第(N+0.5)番の画素に対応する色差信号V_{N+0.5}を補間する場合、図3(C)に示すように、左右に隣接する画素の色差信号、すなわち、第(N-1)番の画素に対応する色差信号V_{N-1}、第N番の画素に対応する色差信号V_N、第(N+1)番の画素に対応する色差信号V_{N+1}、および第(N+2)番の画素に対応する色差信号V_{N+2}を用いて補間する。

【0033】次に、図4は、Hフィルタ14の色差信号U、Vを補間する処理に関わる部分の構成例を示している。

【0034】セレクタ31は、全段から順次入力される色差信号U、Vをクロックに同期して遅延回路(D)32および4点補間回路40に出力する。遅延回路32乃至37、42は、前段から入力される色差信号を1クロック周期だけ遅延して出力する。また、遅延回路33、35、37は、1クロック周期だけ遅延した色差信号を4点補間回路40にも出力する。

【0035】セレクタ39は、Dフリップフロップ41からの制御信号Sが0である場合、自己のDA端子に入力される遅延回路38の出力をQA端子から遅延回路42に出力し、かつ、自己のDB端子に入力される4点補間回路40の出力をQB端子から出力する。反対に、Dフリップフロップ41からの制御信号Sが1である場合、自己のDA端子に入力される遅延回路38の出力をQB端子から出力し、かつ、自己のDB端子に入力される4点補間回路40の出力をQA端子から遅延回路42に出力する。なお、セレクタ39からは、図3(D)に示すように、色差信号U_Nと色差信号V_{N+0.5}が同時に出力される。

【0036】4点補間回路40は、次式を用いて4クロック周期を要するパイプライン処理によって色差信号を補間する。

補間される色差信号の値は $(t_1 * C_1 + t_2 * C_2 + t_3 * C_3 + t_4 * C_4) / (C_1 + C_2 + C_3 + C_4)$

【0037】ここで、 t_1 とは、遅延回路37から入力される第 $(N-1)$ 番の画素に対応する色差信号 U_{n-1} 、(または V_{n-1}) の値であり、 t_2 とは、遅延回路35から入力される第 N 番の画素に対応する色差信号 U_n 、(または V_n) の値であり、 t_3 とは、遅延回路33から入力される第 $(N+1)$ 番の画素に対応する色差信号 U_{n+1} 、(または V_{n+1}) の値であり、 t_4 とは、セレクタ31から入力される第 $(N+2)$ 番の画素に対応する色差信号 U_{n+2} 、(または V_{n+2}) の値である。ここで、補間係数 C_1 乃至 C_4 は、それぞれ、-163、1187、1187、-163とする。

【0038】Dフリップフロップ41は、クロック毎に制御信号 S として0と1を交互にセレクタ39に出力する。

【0039】図5は、4点補間回路40の構成例を示している。4点補間回路40は、乗算器51乃至54、および加算器55乃至57より構成される。

【0040】乗算器51は、セレクタ31から入力される第 $(N-1)$ 番の画素に対応する色差信号 U_{n-1} 、(または V_{n-1}) の値 t_1 に補間係数 C_1 を乗算した乗算値 $t_1 * C_1$ を加算器55に出力する。乗算器52は、遅延回路33から入力される第 N 番の画素に対応する色差信号 U_n 、(または V_n) の値 t_2 に補間係数 C_2 を乗算した乗算値 $t_2 * C_2$ を加算器55に出力する。乗算器53は、遅延回路35から入力される第 $(N+1)$ 番の画素に対応する色差信号 U_{n+1} 、(または V_{n+1}) の値 t_3 に補間係数 C_3 を乗算した乗算値 $t_3 * C_3$ を加算器56に出力する。乗算器54は、遅延回路37から入力される第 $(N+2)$ 番の画素に対応する色差信号 U_{n+2} 、(または V_{n+2}) の値 t_4 に補間係数 C_4 を乗算した乗算値 $t_4 * C_4$ を加算器56に出力する。

【0041】加算器55は、乗算器51からの乗算値 $t_1 * C_1$ と、乗算器52からの乗算値 $t_2 * C_2$ を加算し、加算値 $t_1 * C_1 + t_2 * C_2$ を加算器57に出力する。加算器56は、乗算器53からの乗算値 $t_3 * C_3$ と、乗算器54からの乗算値 $t_4 * C_4$ を加算し、加算値 $t_3 * C_3 + t_4 * C_4$ を加算器57に出力する。加算器57は、加算器55からの加算値 $t_1 * C_1 + t_2 * C_2$ と、加算器56からの加算値 $t_3 * C_3 + t_4 * C_4$ を加算し、補間係数 C_1 乃至 C_4 の総和値で除算し、第 $(N+0.5)$ 番の画素に対応する色差信号 $U_{n+0.5}$ 、(または $V_{n+0.5}$) の値として出力する。

【0042】次に、色差信号 U 、 V を補間する処理に関わる当該機能ブロックの動作について説明する。

【0043】例えば図4に示すように、クロックタイミング t_0 において、セレクタ31、遅延回路32乃至遅延回路38が、それぞれ、色差信号 V_{n-1} 、 U_{n-1} 、 V_n 、 U_n 、 V_{n+1} 、 U_{n+1} 、 V_{n+2} 、 U_{n+2} を後段に出力した場合、その

後の4クロック周期を要して4点補間回路40により、色差信号 $V_{n+0.5}$ が補間される。従って、クロックタイミング t_4 において、セレクタ39のDA端子には遅延回路38から色差信号 U_n が入力され、DB端子には4点補間回路40で補間された色差信号 $V_{n+0.5}$ が入力される。

【0044】このとき、セレクタ39は、Dフリップフロップ41からの制御信号 $S=0$ に対応して、DA端子に入力された色差信号 U をQA端子から遅延回路42に出力し、DB端子に入力された補間された色差信号 $V_{n+0.5}$ をQB端子から出力する。なお、それと同期して遅延回路42からは、1クロック前に補間されて遅延されていた色差信号 U_{n-1} が出力される。したがって、Hフィルタ14からは、図3(E)に示すように、第 $(N+0.5)$ 番の画素に対応する色差信号 $U_{n+0.5}$ と色差信号 $V_{n+0.5}$ が同時に出力されることになる。

【0045】以上のように、HDF11においては、4:2:2の映像信号の高周波成分を除去し、かつ、色差信号を補間して4:4:4の映像信号に変換するので、各画素に対し、輝度信号 Y と色差信号 U 、 V を同じ空間周波数で扱うことが可能となる。これにより、例えば、映像の色線に関する処理として、色付きスポットライト処理や色変化付きトレイル処理等を施すことが可能となる。

【0046】次に、図6は、HDF11から水平走査の順序で入力される4:4:4の映像信号の走査方向を水平方向から垂直方向に変換するスキャンコンバータ15の構成例を示している。スキャンコンバータ15は、FPGAなどよりなるスキャンコンバータIC61、およびSRAM(Synchronous Dynamic Random Access Memory)64-1、64-2から構成される。

【0047】スキャンコンバータIC61のVスキャンジェネレータ62は、外部から供給されるREF信号が示す水平走査タイミングに基づき、対応する垂直走査タイミングを示す信号を発生してSDRAMコントローラ63およびSRAMコントローラ66に出力する。

【0048】SDRAMコントローラ63は、HDF11から入力される4:4:4:4の映像信号をフィールド単位で切り替えてSDRAM64-1、64-2に記録する。SDRAMコントローラ63はまた、SDRAM64-1、64-2に記録した映像信号を所定順序(後述)で読み出してSRAM(Static Random Access Memory)65に出力する。

【0049】SRAM65は、1ブロック当たりの容量が2ビット×2048であり、20ブロックからなるメモリが4個用いられており、SRAMコントローラ66の制御に基づき、SDRAMコントローラ63から入力される映像信号をキャッシュしてVDF16に出力する。

【0050】コンバータ67は、VDF16から垂直走査の順序で入力される映像信号のうちの色差信号 U 、 V の情報量を、それぞれ10ビット幅から8ビット幅に削減

する(詳細については図18を参照して後述する)。コンバータ67はまた、VOFF16から入力される映像信号がSDフォーマットである場合、そのフィールド画像をフレーム画像に変換する(詳細については図47を参照して後述する)。

【0051】図7は、フィールド単位で走査方向を垂直に変換する処理の大まかな時間推移を示している。なお、同図以降において、バッファ(buffer)AはSDRAM64-1、64-2のうちの一方に対応し、バッファBは他方に対応するものとする。

【0052】図8は、フィールド単位で記録した映像信号を垂直走査の順序でバースト(burst)転送するSDRAM64-1、64-2と、バースト転送された映像信号をキャッシュするSRAM65との関係を模式的に示している。すなわち、SRAM65は、SDRAM64-1、64-2に記録されている映像信号を垂直方向に走査しながらキャプチャのように画像の左から右に水平方向に移動するかのよう動作して、映像信号をキャッシュする。なお、水平走査の順序でSDRAM64-1、64-2に入力される単位時間当たりの転送量と、垂直走査の順序でSRAM65に出力される単位時間当たりの転送量が等しければ、系は安定した動作を保障される。すなわち、SDRAM64-1、64-2において、読み出しアドレスが書き込みアドレスを追い越すような事態は発生しない。

【0053】なお、SDRAM64-1、64-2(以下、SDRAM64-1、64-2を個々に区別する必要がない場合、単にSDRAM64と記述する)は、SDRAMの特性として、複数(例えば、2種類)のバンク(bank)に対して適正な幅のバースト転送(auto pre-charge 4 word burst)を交互に実施すると、連続のアクセス(read or write)が保障されている。図9は、そのような特性を利用した2種類のバンクに対する交互バーストでの連続アクセス(write burst)のタイミングの一例を示している。

【0054】具体的には、図10に示すように、SDRAM64に対して水平走査の順序で書き込まれる映像信号は、8ワード単位で、すなわち、各バンクに対して4ワードずつバースト転送される。また、図11に示すように、SDRAM64から垂直走査の順序で読み出される映像信号も、8ワード単位で、すなわち、各バンクから4ワードずつバースト転送される。

【0055】ここで、1ワードは、1個の画素に対応する輝度信号Y(10ビット)、色差信号U、V(各10ビット)、およびキー信号K(10ビット)を示す40ビットの情報量を示している。

【0056】このように、8ワード単位(図11における矩形領域2個分)でSDRAM65にバースト転送してキャッシュした映像信号を、4回の垂直走査に相当する時間だけ遅延させて、SRAM65から読み出すようにすれば、SRAM65を最小の容量(図11の矩形領域2個分、1フィールドの0.4%に相当する容量)とすることができ

る。

【0057】図12は、SDRAM64に対する、HDフォーマット(1080×1920)の映像信号の2バンク4ワードバーストにおけるアドレスの2次元割り当ての一例を示している。

【0058】同図に示すように、書き込み時においては、水平走査に合わせたアドレスに書き込まれるようにバースト先頭アドレスが制御される。この場合、読み出し時には、バーストサイズ幅のバンドとしてアクセスされる。

【0059】SDRAM64に対する書き込みアドレスの生成は、以下の条件を満たす図13に示すような、上位カウンタ(ROW)および下位カウンタ(COLUMN)から成るカウンタ機構による。

【0060】(1) カウントアップは4ワードバーストを2回に1回で出力するステートマシンによる。後発側のバンクアクセス中に次のカウントが行われる。

(2) カウンタのリロードおよび2Kアップ(reload and 2K up)は、0x3c0で実施。下位0x3cd回のカウント毎にリロードデータには1Kがプラスされる。

(3) 上位カウンタの値が540に達したとき、1フィールドが終了される。

【0061】図14は、SDRAM64からの連続読み出しの順序を示している。同図に示すように、4ワードバースト2バンクピンポン(4word burst 2bank pingpong)アクセスを利用して、SRAM65への書き込み領域を、図11における矩形領域(4ワード)が540個より成る短冊単位(rect(n):n=1,2,...,1df)で、かつ、連続して行わなければならない。

【0062】SDRAM64からの読み出しアドレスの生成は、以下の条件を満たす図15に示すような、上位カウンタ(ROW)および下位カウンタ(COLUMN)から成るカウンタ機構による。

【0063】(1) 下位カウンタは毎回リロードされる。リロード値は上位カウンタの値が540に達したとき、4ワードカウントアップされる。

(2) 下位カウンタの値が0x3cdとなり、且つ、上位カウンタの値が540に達したとき終了される。

(3) 上位カウンタのリロードおよび2Kアップは、4ワードバーストピンポン毎に実施される。

(4) 上位カウンタが540に達したとき、1つの短冊単位(4ワード×540ライン)のリロードが終了される。

【0064】SDRAM64から短冊単位で読み出された映像信号は、SRAM65にキャッシュされた後にアクセスされる。しかしながら、アクセスの順序は一定であり、完全同期であるので、汎用キャッシュのようなアソシエティブ(associative)構造ではなく、完全同期予測制御となる。

【0065】図16は、SRAM65を構成する4個のメモ

リ(2ビット×2048×20ブロック)を、それぞれ幅40ビット(1ワード)×2048のリングとして用いる概念を示している。実際には、図17(A)に示すように、図16に示したリングを4本重ねて、幅160ビット(4ワード)×2048のキャタピラ(図8(B))を構成して用いる。

【0066】具体的には、図15に示した順序でSRAM64から読み出した矩形領域(4ワード)を、図17(B)に示すように、1ワードずつリング0乃至3に順に書き込み、3垂直走査分だけ遅延し、図17(C)に示すようにリングの円周方向に読み出す。

【0067】以上のような動作により、リアルタイムで映像信号の走査方向を水平方向から垂直方向に変換し、後段のVDF16に出力することが可能となる。

【0068】VDF16に入力された映像信号は、上述したように、垂直方向の1次元ローパスフィルタ処理が施されて、再びスキャンコンバータ15に入力されてコンバータ67に供給される。

【0069】次に、後段の36ビット幅のZBT SRAMが8個用いられているバッファ20に適合させることを目的として、VDF16から垂直走査の順序で入力される4:4:4の40ビット幅の映像信号を36ビット幅の映像信号に変換するコンバータ67の処理について説明する。

【0070】コンバータ67は、図18に示すように、VDF16から垂直走査の順序で入力される4:4:4の40ビット幅の映像信号(10ビットの輝度信号Y、10ビットの色差信号U、10ビットの色差信号V、および10ビットのキー信号K)のうち、最終的に空間周波数特性を1/2に低減してしまう色差信号U、Vの値を、例えば、切り捨て演算や四捨五入演算等により、それぞれ8ビットに削減して映像信号(Y/U/V/K)を36ビット幅に変換し、後段のバッファ20に出力する。

【0071】なお、色差信号U、Vのビット幅の削減は、上述したように、それぞれを8ビット幅とすることに限定するものではなく、例えば、色差信号Uを9ビットに削減し、且つ、色差信号Vを7ビットに削減するなど、その削減幅を適宜変更するようにしてもよい。

【0072】以上説明したように、コンバータ67においては、映像信号のうちの輝度信号Yと、デジタルビデオエフェクトにおいて重要なキー信号Kの情報を損なうことなく(ビット幅を減少させることなく)、映像信号(Y/U/V/K)のビット幅を後段のバッファ20(36ビット幅のZBT SRAM)に適合させることが可能となる。

【0073】次に、図19は、バッファ20の詳細な構成例を示している。バッファ20は、同時読み出しが可能な4個のユニットU0、U1、L0、L1から成る。ユニットU0の構成例を図20に示す。ユニットU0

は、SRAM73-U0-Aより成るAバッファと、SRAM73-U0-Bより成るBバッファとでダブルバッファ構成とされている。これにより、ユニットU0は、2次元読み出しと同時に書き込みが実現されている。同様に、ユニットU0乃至L1のそれぞれもダブルバッファ構成とされており、2次元読み出しと同時に書き込みが実現されている。なお、SRAM73-U0-A乃至73-L1-Bを個々に区別する必要がない場合、単にSRAM73と記述する。

【0074】図21は、スキャンコンバータ15から入力される映像信号のユニットU0乃至L1に対する割り付けを示している。すなわち、スキャンコンバータ15が出力するEVENフィールドの映像信号をバッファ20に書き込む際には、同図(A)に示すように、第m(m=0, 2, 4, ...)番目の水平走査線上の隣接する2画素と、その真下の第m+2番目の水平走査線上の隣接する2画素から成る4画素を、それぞれ異なるユニットU0乃至L1のAバッファに書き込むようにする。また、スキャンコンバータ15が出力するODDフィールドの映像信号をバッファ20に書き込む際には、同図(B)に示すように、第m+1(m=0, 2, 4, ...)番目の水平走査線上の隣接する2画素と、その真下の第m+3番目の水平走査線上の隣接する2画素から成る4画素を、それぞれ異なるユニットU0乃至L1のBバッファに書き込むようにする。

【0075】このように上下左右に隣接する4画素をそれぞれ異なるユニットU0乃至L1に書き込むことによって、それらを同時に読み出すことができるので、4画素の映像信号を用いて当該4画素の中心に位置する画素を補間する処理を効率的に実行することができる。

【0076】次に、バッファ20の有効アクセス領域(access area)において、映像信号を書き込んだデータ領域(real image area)の周囲に設定する領域外データバンド(ブラックエリア)について、図22乃至図28を参照して説明する。

【0077】図22は、バッファ20に設定されるリードアドレス(リニアアドレスとも記述する)の座標系を示しており、図23は、図22のデータ領域(real image area)にEVENフィールドの映像信号が書き込まれている状態を示している。

【0078】一般に、バッファ20に書き込まれた映像信号が読み出される場合、DME3においてデジタルエフェクトが施された映像信号がディスプレイに表示される際のディスプレイ上のアドレス(以下、スクリーンアドレスと記述する)に基づいて、バッファ20のリードアドレスが決定される。ただし、スクリーンアドレスとリードアドレスとの関係の詳細については、図29を参照して後述する。

【0079】リードアドレス[x,y]が、図24に「X」印で示す位置に決定された場合、リードアドレス[x,y]

の位置の上下左右の4画素の映像信号が読み出されて補間回路22に供給されて、リードアドレス[X,Y]に対応する画素の映像信号が補間される(ただし、4画素を用いる補間処理はHDフォーマットの映像信号に対してであり、SDフォーマットの映像信号には16画素を用いる補間処理が適用される)。

【0080】ところで、図25に「×」印で示すような位置がリードアドレス[X,Y]とされた場合、その上下左右には4個の画素が存在しないので、4画素を用いる通常の補間処理とは異なる処理が必要となる。したがって、リードアドレス[X,Y]が与えられたとき、当該リードアドレス[X,Y]は通常の補間処理が適用できるか否かを判定する必要がある、その判定を行う専用の回路などが必要となる。そこで、そのような判定用の回路などを省くことを目的として、画像バッファ20に領域外データバンドを設定する。

【0081】具体的には、図26および図27に示すように、バッファ20の有効アクセス領域(access area)において、映像信号を書き込むデータ領域(real image area)の上下左右それぞれに2画素分のダミーの映像信号を書き込むことにより、領域外データバンド(ブラックエリア)を設定する。なお、図27は、図26のデータ領域(real image area)にEVENフィールドの映像信号が書き込まれ、その周囲に領域外データバンドが設定されている状態を示している。

【0082】ここで、バッファ20に、映像信号を書き込むデータ領域と領域外データバンドを設定することが記憶容量的に可能であることを示す。

【0083】バッファ20には、図19に示したように8個のSRAM73-U0-A乃至73-L1-Bが設けられており、そのうちの4個でフィールド画像の映像信号を格納するようになされているが、SRAM73の1個の有効アクセス領域は、256kワード=256*1024ワード=262144ワードである。そこに書き込むデータ領域および領域外データバンドは、フィールド画像の映像信号(540*1920)と上下左右それぞれに2画素分のダミーの映像信号との1/4であるので、必要な容量は544*1924/4=261664ワードであり、SRAM73の1個の有効アクセス領域に完全に格納される。よって、バッファ20には、領域外データバ*40

$$X_m = \frac{a_{11} \cdot H + a_{12} \cdot V + a_{13}}{a_{31} \cdot H + a_{32} \cdot V + a_{33}} = \frac{X(H, V)}{Z(H, V)}$$

$$Y_m = \frac{a_{21} \cdot H + a_{22} \cdot V + a_{23}}{a_{31} \cdot H + a_{32} \cdot V + a_{33}} = \frac{Y(H, V)}{Z(H, V)}$$

$$T = \frac{(p \cdot a_{11} + q \cdot a_{21}) \cdot H + (p \cdot a_{12} + q \cdot a_{22}) \cdot V + p \cdot a_{13} + q \cdot a_{23}}{a_{31} \cdot H + a_{32} \cdot V + a_{33}} = \frac{T(H, V)}{Z(H, V)}$$

なお、エフェクトパラメータ a_{11} 乃至 a_{33} は、次式に示すように逆行列 A^{-1} の要素である。

【数2】

$$A^{-1} = \begin{bmatrix} a_{11} & a_{12} & a_{13} \\ a_{21} & a_{22} & a_{23} \\ a_{31} & a_{32} & a_{33} \end{bmatrix}$$

*ンドを設定することが記憶容量的に可能である。

【0084】このように、バッファ20の有効アクセス領域にデータ領域および領域外データバンドを設定することにより、例えば図28に「×」印で示すような位置がリードアドレス[X,Y]とされた場合においても、その上下左右には4画素が存在するので、4画素を用いる通常の補間処理を適用することが可能となる。したがって、リードアドレス[X,Y]が与えられたときに、当該リードアドレス[X,Y]に対して通常の補間処理が適用できるか否かを判定する必要がなくなり、当該判定を行うための専用の回路などを省くことが可能となる。

【0085】なお、このとき発生可能なリードアドレス[X,Y]としては、

$$-960.5 < X < 960.5$$

$$-540.5 < Y < 540.5$$

である。

【0086】次に、バッファ20にリードアドレスを供給するアドレスジェネレータ21について説明するが、その前に、スクリーンアドレスとリードアドレスとの関係の詳細について、図29を参照して説明する。図29(A)は、バッファ20に設定されるリードアドレス (X_m, Y_m, T) (上述したリードアドレス[X,Y]と同等のもの)の座標系を示している。リードアドレスの座標系においては原点を画像の中心に設けている。なお、Tは映像に対してライティング(lightning)を付加するときに指定するライティング変調軸(T軸)を示している。図29(B)は、スクリーンアドレス(H,V)の座標系を示している。スクリーンアドレスの座標系においては原点を画像に左上に設けている。リードアドレスの座標系の点a乃至dは、それぞれスクリーンアドレスの座標系の点a'乃至d'に対応している。

【0087】リードアドレス (X_m, Y_m, T) を3行3列の変換行列Aを用いて変換したものがスクリーンアドレス(H,V)であるので、逆に、順次走査するスクリーンアドレス(H,V)に変換行列Aの逆行列 A^{-1} を乗算すれば、リードアドレス (X_m, Y_m, T) を算出することができる。

【0088】具体的には、次式に示すようにリードアドレス (X_m, Y_m, T) を算出する。

【数1】

また、ライティング変調軸Tの回転係数 p 、 q は、 $p = \cos \theta$ 、 $q = \sin \theta$ である。

【0089】このように、リードアドレス (X_m, Y_m, T) は、スクリーンアドレス (H, V) をパラメータとする関数値 $X(H, V)$ 、 $Y(H, V)$ 、 $T(H, V)$ 、 $Z(H, V)$ を用いて演算される。

【0090】ところで、リードアドレスは、順次走査するスクリーンアドレスの画素毎（クロック毎）に算出されることになるが、スクリーンアドレスの全ての画素について関数値 $X(H, V)$ 、 $Y(H, V)$ 、 $T(H, V)$ 、 $Z(H, V)$ を演算し、リードアドレスを算出していたのでは、その演算量は膨大なものとなり、演算専用の回路が必要となる。

【0091】そこで、図30に示すように、スクリーンアドレスの4端点、すなわち左上点 $(0, 0)$ 、左下点 $(0, 539)$ 、右上点 $(1919, 0)$ 、および右下点 $(1919, 539)$ について、予め関数値 $X(0, 0)$ 、 $Y(0, 0)$ 、 $T(0, 0)$ 、 $Z(0, 0)$ 、 $X(0, 539)$ 、 $Y(0, 539)$ 、 $T(0, 539)$ 、 $Z(0, 539)$ 、 $X(1919, 0)$ 、 $Y(1919, 0)$ 、 $T(1919, 0)$ 、 $Z(1919, 0)$ 、 $X(1919, 539)$ 、 $Y(1919, 539)$ 、 $T(1919, 539)$ 、 $Z(1919, 539)$ （以下、関数値 $X(0, 0)$ 乃至 $Z(1919, 539)$ と記述する）を演算するようにし、スクリーンアドレスの他の画素についての関数値 $X(H, V)$ 、 $Y(H, V)$ 、 $T(H, V)$ 、 $Z(H, V)$ は、当該4端点について演算した関数値 $X(0, 0)$ 乃至 $Z(1919, 539)$ を用いて補間し、対応するリードアドレスを算出するようにする。

【0092】このようにスクリーンアドレスの4端点に対応する関数値 $X(0, 0)$ 乃至 $Z(1919, 539)$ を用いて、他の画素についての関数値 $X(H, V)$ 、 $Y(H, V)$ 、 $T(H, V)$ 、 $Z(H, V)$ を補間する処理を、以下、スーパーバインタポレーション(Super Interpolation)と称し、特に、左上点 $(0, 0)$ と左下点 $(0, 539)$ の垂直方向の補間処理、または右上点 $(1919, 0)$ と右下点 $(1919, 539)$ の垂直方向の補間処理をスーパーバインタポレーション(V)と称し、スーパーバインタポレーション(V)の結果などの水平走査線上の左右両端点の関数値を用いた水平方向の補間処理をスーパーバインタポレーション(H)と称する。

【0093】次に、スーパーバインタポレーションの処理タイミングについて、図31を参照して説明する。あるフィールド画像についてスーパーバインタポレーションを施す場合、スクリーンアドレスの4端点のそれぞれについて、当該フィールド画像の1フィールド前までに関数値 $X(0, 0)$ 乃至 $Z(1919, 539)$ を予め演算して所定のレジスタ（後述）に保持する。そして、タイミング信号HMXのEnableに同期して水平帰線期間(BLANK(H))の初期においてスーパーバインタポレーション(V)を実行し、タイミング信号HMXのEnableに同期してスクリーンアドレスを水平走査する期間(ACTIVE AREA)において、クロック毎にスーパーバインタポレーション(H)を実行する。

【0094】このように、スーパーバインタポレーション(H)とスーパーバインタポレーション(V)は、実行タイミングが異なる。

【0095】図32は、アドレスジェネレータ21の構成例を示している。レジスタ演算ブロック91は、スクリーンアドレスの4端点の関数値 $X(0, 0)$ 乃至 $Z(1919, 539)$ を演算してスーパーバインタポレーションブロック93に供給する。ミキサ係数ブロック92は、内蔵するレジスタに予め保持されているミキサ係数をスーパーバインタポレーションブロック93に供給する。

【0096】スーパーバインタポレーションブロック93は、レジスタ演算ブロック91から供給されるスクリーンアドレスの4端点の関数値 $X(0, 0)$ 乃至 $Z(1919, 539)$ 、および、ミキサ係数ブロック92から供給されるミキサ係数を用いて、スーパーバインタポレーション(H)およびスーパーバインタポレーション(V)を実行し、得られるスクリーンアドレス上の4端点以外の画素にそれぞれ対応する関数値 $X(H, V)$ 、 $Y(H, V)$ 、 $T(H, V)$ 、 $Z(H, V)$ を補間してリードアドレス演算ブロック94に出力する。

【0097】リードアドレス演算ブロック94は、スーパーバインタポレーションブロック93から入力されるスクリーンアドレスの全ての画素にそれぞれ対応する関数値 $X(H, V)$ 、 $Y(H, V)$ 、 $T(H, V)$ 、 $Z(H, V)$ を用い、リードアドレスを生成してバッファ20に出力する。

【0098】図33は、スーパーバインタポレーションブロック93の構成例を示している。スーパーバインタポレーションブロック93は、関数値 $X(H, V)$ を補間するブロック、関数値 $Y(H, V)$ を補間するブロック、関数値 $T(H, V)$ を補間するブロック、および関数値 $Z(H, V)$ を補間するブロックから構成される。

【0099】関数値 $X(H, V)$ を補間するブロックのREG_V_START_XLレジスタ101-Xは、レジスタ演算ブロック91から供給される左上点 $(0, 0)$ についての関数値 $X(0, 0)$ を保持し、セクタ107-XのA端子に出力する。REG_V_START_XRレジスタ102-Xは、レジスタ演算ブロック91から供給される右上点 $(1919, 0)$ についての関数値 $X(1919, 0)$ を保持し、セクタ107-XのB端子に出力する。FF_H_START_XLレジスタ103-Xは、セクタ112-XのA端子を介して入力されるミキサ111-Xの出力を保持し、セクタ108-XのB端子に出力する。FF_H_END_XLレジスタ104-Xは、セクタ112-XのB端子を介して入力されるミキサ111-Xの出力を保持し、セクタ110-XのB端子に出力する。REG_V_END_XLレジスタ105-Xは、レジスタ演算ブロック91から供給される左下点 $(0, 539)$ についての関数値 $X(0, 539)$ を保持し、セクタ109-XのB端子に出力する。REG_V_END_XRレジスタ106-Xは、レジスタ演算ブロック91から供給される右下点 $(1919, 539)$ についての関数値 $X(1919, 539)$ を保持し、セクタ109-XのA端子に出力する。

【0100】セクタ107-X乃至110-Xは、A端子またはB端子への入力を後段に出力する。セクタ112-Xは、ミキサ111-Xの出力をFF_H_START_X

レジスタ103-X、またはFF_HL_END_Xレジスタ104-Xに出力する。ミキサ111-Xは、A端子に入力されるセクタ108-Xから出力をAとし、B端子に入力されるセクタ110-Xから出力をBとし、ミキサ係数ブロック92から供給されるミキサ係数をk.とした場合、クロック毎に次式を用いて補間値Cを後段に出力する。

$$\text{補間値}C = A \cdot (1 - k.) + B \cdot k.$$

ただし、実際には乗算回数を1回減少させるために次式が用いられる。補間値 $C = k. \cdot (B - A) + A$

【0101】なお、関数値 $Y(H,V)$ 、 $T(H,V)$ 、 $Z(H,V)$ のそれぞれを補間する各ブロックの構成は、関数値 $X(H,V)$ を演算するブロックの構成と同様であるので、その説明は省略する。ただし、REG_V_START_Xレジスタ101-X乃至REG_V_END_Zレジスタ106-Zと、それらに保持させる関数値 $X(0,0)$ 乃至 $Z(1919,539)$ との対応関係は、図34に示すとおりである。

【0102】図35は、ミキサ係数ブロック92に内蔵されているレジスタと、そこに保持されているミキサ係数との対応関係を示している。

【0103】次に、スーパーインタポレーションブロック93の動作について説明する。なお、REG_V_START_Xレジスタ101-X乃至REG_V_END_Zレジスタ106-Zには、対応する関数値 $X(0,0)$ 乃至 $Z(1919,539)$ がレジスタ演算ブロック91から供給されているとする。

【0104】始めに、スクリーンアドレスの垂直成分Vが初期化されて $V=0$ とされ、タイミング信号HMXのEnableに同期してスーパーインタポレーション(V)が開始される。まず、スクリーンアドレスの左端点 $(0,V)$ のスーパーインタポレーション(V)を実行するために、ミキサ111-X乃至111-Zへの関数値の入力元および出力先が、図36に示すとおりとなるように、各ブロックにおいてスイッチング等がなされる。

【0105】具体的には、例えば関数値 $X(H,V)$ を補間するブロックでは、図37に示すように、セクタ107-X乃至110-X、112-Xがスイッチングされる。これにより、ミキサ111-XのA端子には、REG_V_START_Xレジスタ101-Xに保持されている左上点 $(0,0)$ についての関数値 $X(0,0)$ が入力され、B端子には、REG_V_END_Xレジスタ105-Xに保持されている左下点 $(0,539)$ についての関数値 $X(0,539)$ が入力される。ミキサ111-Xにはさらに、ミキサ係数供給ブロック92からミキサ係数が供給される。ミキサ111-Xは、スクリーンアドレスの左端点 $(0,V)$ についての関数値 $X(0,V)$ を補間する。補間された関数値 $X(0,V)$ は、セクタ112-Xを介してFF_HL_START_Xレジスタ103-Xにラッチされる。

【0106】なお、他のブロックにおいても同様の処理がなされ、スクリーンアドレスの左端点 $(0,V)$ についての関数値 $Y(0,V)$ 、関数値 $T(0,V)$ 、関数値 $Z(0,V)$ が、それ

それぞれ対応するFF_HL_START_Xレジスタ103-Y乃至103-Zにラッチされる。

【0107】次に、スクリーンアドレスの右端点 $(1919,V)$ のスーパーインタポレーション(V)を実行するために、ミキサ111-X乃至111-Zへの関数値の入力元および出力先が、図38に示すとおりとなるように、各ブロックにおいてスイッチング等がなされる。

【0108】具体的には、例えば関数値 $X(H,V)$ を補間するブロックでは、図39に示すように、セクタ107-X乃至110-X、112-Xがスイッチングされる。これにより、ミキサ111-XのA端子には、REG_V_START_Xレジスタ102-Xに保持されている右上点 $(1919,539)$ についての関数値 $X(1919,539)$ が入力され、B端子には、REG_V_END_Xレジスタ106-Xに保持されている右下点 $(1919,539)$ についての関数値 $X(1919,539)$ が入力される。ミキサ111-Xにはさらに、ミキサ係数供給ブロック92からミキサ係数が供給される。ミキサ111-Xは、スクリーンアドレスの右端点 $(1919,V)$ についての関数値 $X(1919,V)$ を補間する。補間された関数値 $X(1919,V)$ は、セクタ112-Xを介してFF_HL_END_X104-Xにラッチされる。

【0109】なお、他のブロックにおいても同様の処理がなされ、スクリーンアドレスの右端点 $(1919,V)$ についての関数値 $Y(1919,V)$ 、関数値 $T(1919,V)$ 、関数値 $Z(1919,V)$ が、それぞれ対応するFF_HL_END_Xレジスタ104-Y乃至104-Zにラッチされる。

【0110】ここまでの処理は、水平帰線期間において実行される。

【0111】その後、タイミング信号HMXのEnableに同期し、スクリーンアドレスの水平成分Hが初期化されて $H=0$ とされ、スーパーインタポレーション(H)が開始される。スーパーインタポレーション(H)を実行するために、ミキサ111-X乃至111-Zへの関数値の入力元および出力先が、図40に示すとおりとなるように、各ブロックにおいてスイッチング等がなされる。

【0112】具体的には、例えば関数値 $X(H,V)$ を補間するブロックでは、図41に示すように、セクタ108-X、110-Xがスイッチングされる。これにより、ミキサ111-XのA端子には、FF_HL_START_Xレジスタ103-Xに保持されている左端点 $(0,V)$ についての関数値 $X(0,V)$ が入力され、B端子には、FF_HL_END_Xレジスタ104-Xに保持されている右端点 $(1919,V)$ についての関数値 $X(1919,V)$ が入力される。ミキサ111-Xにはさらに、クロック毎に、ミキサ係数供給ブロック92からミキサ係数が供給される。ミキサ111-Xは、クロック毎に順次、左端点 $(0,V)$ から右端点 $(1919,V)$ についての関数値 $X(H,V)$ を補間してリードアドレス演算ブロック94に供給する。

【0113】なお、他のブロックにおいても同様の処理がなされ、クロック毎に左端点 $(0,V)$ から、順次、右端

10

20

30

40

50

点(1919,V)までについての関数値Y(H,V)、関数値T(H,V)、関数値Z(H,V)が縮間されてリードアドレス演算ブロック94に供給される。

【0114】スクリーンアドレスの水平成分Hが初期化された後、ここまでの処理は、水平走査期間に実行される。

【0115】その後、垂直成分Vが1だけインクリメントされ、上述したスーパーバイタポレーション(V)以降の処理が繰り返される。そして、垂直成分Vが540に達した場合、処理中のフィールドに対するスーパーバイタポレーションは終了されて、次のフィールドが処理の対象とされる。

【0116】以上説明のように、水平帰線期間においてスーパーバイタポレーション(V)を実行し、水平走査期間においてスーパーバイタポレーション(H)を実行するようにしたので、スーパーバイタポレーション(V)とスーパーバイタポレーション(H)を同一の回路(スーパーバイタポレーションブロック93)を共用して実行することが可能となる。

【0117】次に、縮間回路22について図42を参照して説明する。補間回路22は、バッファ20にバッファリングされている映像信号がHDフォーマットである場合、4画素の映像信号を用いる4点補間処理を動作周波数74.25MHzで実行する。また、バッファ20に、SDフォーマットの映像信号がフィールド・フレーム変換されてバッファリングされている場合、16画素の映像信号を用いる16点補間処理を、動作周波数54MHz(SDフォーマットの映像信号を処理する際の通常の動作周波数13.5MHzの4倍速)で実行する。

【0118】図42は、補間回路22の構成例を示している。縮間回路22は、バッファ20のユニットU0、L0から同時に入力される垂直方向に隣接する2画素の映像信号を比例分配して、当該2画素の間の位置に対応する映像信号の補間値TAを演算する垂直方向比例分配回路121、バッファ20のユニットU1、L1から同時に入力される垂直方向に隣接する2画素の映像信号を比例分配して、当該2画素の間の位置に対応する映像信号の補間値TBを演算する垂直方向比例分配回路122、および、垂直方向比例分配回路121から入力される補間値TAと垂直方向比例分配回路122から入力される補間値TBを比例分配する水平方向比例分配回路123から構成される。

【0119】図43は、垂直方向比例分配回路121の構成例を示している。垂直方向比例分配回路121には、バッファ20のユニットU0、L0から同時に入力される垂直方向に隣接する2画素の映像信号の他、および、当該2画素の間の補間点の垂直方向の位置を示す4ビットの位置情報r、および、セクタ143、144を制御するsel信号が入力される。

【0120】ユニットU0からの映像信号は遅延回路

(D)141に入力され、ユニットL0からの映像信号は遅延回路142に入力される。位置情報rは、遅延回路148に入力される。sel信号は、遅延回路152に入力される。

【0121】遅延回路(D)141は、ユニットU0からの映像信号を所定のクロック周期だけ遅延して、セクタ143のa端子およびセクタ144のb端子に出力する。遅延回路142は、ユニットL0からの映像信号を所定のクロック周期だけ遅延して、セクタ143のb端子およびセクタ144のa端子に出力する。

【0122】セクタ143は、遅延回路152から入力されるsel信号に基づき、a端子に入力されるユニットU0からの映像信号、またはb端子に入力されるユニットL0からの映像信号を乗算器145に出力する。セクタ144は、NOT回路153から入力される反転されたsel信号に基づき、a端子に入力されるユニットL0からの映像信号、またはb端子に入力されるユニットU0からの映像信号を乗算器146に出力する。したがって、乗算器145、146の一方にはユニットU0からの映像信号が入力され、他方にはユニットL0からの映像信号が入力される。ここで、乗算器145に入力される映像信号の値をAとし、乗算器146に入力される映像信号の値をBとする。

【0123】乗算器145は、遅延回路151から入力される値(16-r)に、セクタ143から入力される映像信号の値Aを乗算して演算器147に出力する。乗算器146は、遅延回路149から入力される位置情報の値rに、セクタ144から入力される映像信号の値Bを乗算して演算器147に出力する。演算器147は、乗算器145の出力と乗算器146の出力を加算して16で除算する。

【0124】以上説明したように構成される垂直方向比例分配回路121は、次式で示される垂直方向の補間値TAを水平方向比例分配回路123に出力する。

$$\text{補間値TA} = (A * (16 - r) + B * r) / 16$$

【0125】なお、垂直方向比例分配回路122の構成は、垂直方向比例分配回路121と同様であるので、その説明は省略する。

【0126】図44は、水平方向比例分配回路123の構成例を示している。水平方向比例分配回路123には、垂直方向比例分配回路121からの垂直方向の補間値TA、垂直方向比例分配回路122からの垂直方向の補間値TBの他、補間点の水平方向の位置を示す4ビットの位置情報r'が縮間係数供給回路171、172に入力される。

【0127】乗算器161は、垂直方向比例分配回路121からの垂直方向の補間値TAと、補間係数供給回路171から入力される補間係数C1を乗算してレジスタ(R0)163に出力する。乗算器162は、垂直方向比例分配回路122からの垂直方向の補間値TBと、補

間係数供給回路172から入力される補間係数 C_i を受算してレジスタ(R1)164に出力する。

【0128】加算器165は、レジスタ(R0)163の出力とレジスタ(R1)164の出力を加算してレジスタ(R2)166に出力する。加算器167は、レジスタ(R2)166の出力と、自身の1クロック周期前の出力を保持しているレジスタ(R3)168の出力を加算して、レジスタ(R3)168および除算器169に出力する。

【0129】除算器169は、加算器167の出力(所定に期間における加算器165の主力の累算値)を補間係数の総和 ΣC_i で除算してレジスタ(R4)170に出力する。

【0130】レジスタ(R0)163、レジスタ(R1)164、レジスタ(R2)166、およびレジスタ(R3)168は、上段からの入力を所定のクロック周期だけ遅延して出力する。レジスタ(R3)168は、RSTRD信号に対応してリセットする。保持している値を初期化する。レジスタ(R4)170は、EN信号に対応して保持している値を出力する。

【0131】補間係数供給回路171、172は、補間点の水平方向の位置を示す4ビットの位置情報 r に対応する補間係数 C_i を、それぞれ乗算器161、162に供給する。

【0132】以上説明したように構成される水平方向比例分配回路123は、次式で示される水平方向の補間値 X を出力する。

$$\text{補間値 } X = \Sigma (C_i * T_i) / \Sigma C_i$$

ここで、4点補間処理の場合、 $i=0, 1$ であり、16点補間処理の場合、 $i=0, 1, 2, \dots, 7$ である。

【0133】図45は、フィールド・フレーム変換されたSDフォーマットの映像信号を16点補間処理するときの補間係数 C_i の値を示す。

【0134】次に、補間回路22の動作について説明する。始めに、HDフォーマットの映像信号が、バッファ20にバッファリングされている場合における4点補間処理について説明する。

【0135】この場合、図21に示したように、HDフォーマットの映像信号は、フィールド画像単位で、かつ、上下左右に隣接する4画素がそれぞれ分かれてバッファ20のユニットU0、U1、L0、L1に格納されているので、例えば、図46(A)に示すEVENフィールドの「×」印で示す補間点に対応する映像信号を補間するとき、補間点の上下左右の4画素の映像信号を1クロック周期で同時に読み出すことができる。

【0136】ユニットU0、U1、L0、L1から1クロック周期で同時に読み出された映像信号(以下、それぞれを信号U0、U1、L0、L1と記述する)のうち、信号U0、L0は垂直方向比例分配回路121に供

給され、信号U1、L1は垂直方向比例分配回路122に供給される。

【0137】垂直方向比例分配回路121は、補間点の垂直方向の位置情報 r に応じて信号U0、L0を比例分配し、得られた垂直方向の補間値 T_A を水平方向比例分配回路123に出力する。垂直方向比例分配回路122は、補間点の垂直方向の位置情報 r に応じて信号U1、L1を比例分配し、得られた垂直方向の補間値 T_B を水平方向比例分配回路123に出力する。

【0138】水平方向比例分配回路123は、補間点の水平方向の位置情報 r' に応じて、垂直方向の補間値 T_A 、 T_B を比例分配し、「×」印で示す補間点に対応する補間値を得る。

【0139】なお、図46(B)に示すODDフィールドの映像信号に対する動作も同様であるので、その説明は省略する。

【0140】次に、フィールド・フレーム変換されたSDフォーマットの映像信号が、バッファ20に格納されている場合における16点補間処理について説明する。その前に、格納されているSDフォーマットの映像信号について、480×720のSDフォーマットの映像信号を一例に図47を参照して説明する。

【0141】SDフォーマットの映像信号は、バッファ20に入力される前、スキャンコンバータ15のコンバータ67によって、EVENフィールドの画像(図47(A)に○で示される画素から成る)と、ODDフィールドの画像(図47(A)に□で示される画素から成る)が合成されて、図47(A)に示すような480×720のフレーム画像に変換されており、さらに、上下に隣接する○で示される画素と□で示される画素から、その2画素の間に位置する画素(図47(B)に△で示される画素)が補間されて960×720のフレーム画像に変換されている。

【0142】960×720のフレーム画像に変換されたSDフォーマットの映像信号は、図48に示すように、すなわち、HDフォーマットのフィールド画像がバッファ20に格納される状態(図21)と同様に、上下左右に隣接する4画素のそれぞれがバッファ20のユニットU0、U1、L0、L1に分かれて格納される。

【0143】補間回路22の16点補間処理の動作の概念について説明する。例えば、図49の「×」印で示す補間点に対応する映像信号を補間する場合、補間点「×」の上段の隣接した8画素と、上段の隣接した8画素から成る16画素(同図に示した水平方向に長い長方形で囲まれた16画素)の映像信号が読み出されて比例分配が行われる。

【0144】具体的には、図50に示すように、上段の8画素の映像信号と、それらにそれぞれに対応する下段の8画素の映像信号が垂直方向比例分配回路121、122によってそれぞれ比例分配され、垂直方向の補間値

T0乃至T7が算出される。垂直方向の補間値T0乃至T7は、水平方向比例分配回路123によって、図51に示すように、補間値T0乃至T7に補間係数C0乃至C7がそれぞれ乗算され、その総和 $\Sigma(T_i * C_i)$ が補間係数C1の総和 ΣC_i で除算されて、補間点「X」の補間値が算出される。ただし、いまの場合、 $i=0, 1, 2, \dots, 7$ である。

【0145】次に、動作周波数54MHzで実行される補間回路22の16点補間処理の動作タイミングについて、図52乃至図54を参照して説明する。上述したように、バッファ20のユニットU0、U1、L0、L1は同時読み出しが可能であるので、16点補間処理においては、1クロック周期毎に4画素ずつ順次読み出される。

【0146】すなわち、図52(A)に示すように、バッファ20のユニットU0、U1、L0、L1に分かれて格納されている補間に用いる16画素の映像信号をa0乃至a15と記述することにすれば、第0番目のタイミング(cycle0)において、同図(B)に示す映像信号a0、a1、a8、a9が読み出され、第2番目のタイミング(cycle1)において、同図(C)に示す映像信号a2、a3、a10、a11が読み出され、第3番目のタイミング(cycle2)において、同図(D)に示す映像信号a4、a5、a12、a13が読み出され、第4番目のタイミング(cycle3)において、同図(E)に示す映像信号a6、a7、a14、a15が読み出される。

【0147】第0番目のタイミング(cycle0)において読み出された映像信号a0、a8は、垂直方向比例分配回路121に入力され、映像信号a1、a9は、垂直方向比例分配回路122に入力される。第1番目のタイミング(cycle1)において読み出された映像信号a2、a10は、垂直方向比例分配回路121に入力され、映像信号a3、a11は、垂直方向比例分配回路122に入力される。第2番目のタイミング(cycle2)において読み出された映像信号a4、a12は、垂直方向比例分配回路121に入力され、映像信号a5、a13は、垂直方向比例分配回路122に入力される。さらに、第3番目のタイミング(cycle3)において読み出された映像信号a6、a14は、垂直方向比例分配回路121に入力され、映像信号a7、a15は、垂直方向比例分配回路122に入力される。

【0148】図53(A)、(B)は、それぞれ垂直方向比例分配回路121、122の動作タイミングを示している。垂直方向比例分配回路121は、バッファ20のユニットU0、L0からの入力タイミングに4クロック周期だけ遅延したタイミングで、順次、垂直方向の補間値Taを水平方向比例分配回路123に出力する。

【0149】具体的には、第5番目のタイミング(cycle5)において、映像信号a0、a8を比例分配した補間値Ta0を出力し、第6番目のタイミング(cycle6)におい

て、映像信号a2、a10を比例分配した補間値Ta2を出力し、第7番目のタイミング(cycle7)において、映像信号a4、a12を比例分配した補間値Ta4を出力し、さらに、第8番目のタイミング(cycle8)において、映像信号a6、a14を比例分配した補間値Ta6を出力する。

【0150】同様に、垂直方向比例分配回路122は、バッファ20のユニットU1、L1からの入力タイミングに4クロック周期だけ遅延したタイミングで、順次、垂直方向の補間値Tbを水平方向比例分配回路123に出力する。

【0151】具体的には、第5番目のタイミング(cycle5)において、映像信号a1、a9を比例分配した補間値Ta1を出力し、第6番目のタイミング(cycle6)において、映像信号a3、a11を比例分配した補間値Ta3を出力し、第7番目のタイミング(cycle7)において、映像信号a5、a13を比例分配した補間値Ta5を出力し、さらに、第8番目のタイミング(cycle8)において、映像信号a7、a15を比例分配した補間値Ta7を出力する。

【0152】図54は、水平方向比例分配回路123の動作タイミングを示している。垂直方向比例分配回路123は、4クロック周期毎に補間値Xを出力する。

【0153】具体的には、乗算器161は、第5乃至8番目のタイミングで順次入力された垂直方向の補間値Ta0、Ta2、Ta4、Ta6に、それぞれ補間係数C0、C2、C4、C6を乗算してレジスタ(R0)163に出力する。レジスタ(R0)163は、入力タイミングから3クロック周期だけ遅延した第8乃至11番目のタイミングで、乗算値Ta0*C0、Ta2*C2、Ta4*C4、Ta6*C6を加算器165に順次出力する。

【0154】同様に、乗算器162は、第5乃至8番目のタイミングで順次入力された垂直方向の補間値Ta1、Ta3、Ta5、Ta7に、それぞれ補間係数C1、C3、C5、C7を乗算してレジスタ(R1)164に出力する。レジスタ(R1)164は、入力タイミングから3クロック周期だけ遅延した第8乃至11番目のタイミングで、乗算値Ta1*C1、Ta3*C3、Ta5*C5、Ta7*C7を加算器165に順次出力する。

【0155】加算器165は、第8乃至11番目のタイミングで乗算器161、162のそれぞれから順次入力された乗算値Ta0*C0と乗算値Ta1*C1、乗算値Ta2*C2と乗算値Ta3*C3、乗算値Ta4*C4と乗算値Ta5*C5、乗算値Ta6*C6と乗算値Ta7*C7を、それぞれ加算して、レジスタ(R2)166に出力する。レジスタ(R2)166は、入力タイミングから1クロック周期だけ遅延した第9乃至12番目のタイミングで、加算値Ta0*C0+Ta1

$*C1, Ta2 * C2 + Ta3 * C3, Ta4 * C4 + Ta5 * C5, Ta6 * C6 + Ta7 * C7$ を、加算器167に順次出力する。

【0156】加算器167は、第9乃至12番目のタイミングで加算器165から順次入力された加算値と、レジスタ(R3)168から入力される1クロック周期前の加算器167の出力を加算してレジスタ(R3)168および除算器169に出力する。なお、レジスタ(R3)168は、4クロック周期毎に入力されるRSTR信号に同期して初期化される。よって、第13番目のタイミングにおいて、加算器167は、第9乃至12番目のタイミングで加算器165から順次入力された加算値の累計値を出力することになる。

【0157】除算器169は、加算器167からの累算値を補間係数の総和ΣCiで除算してレジスタ(R4)170に出力する。レジスタ(R4)170は、4クロック周期毎(いまの場合、第13番目のタイミング)に入力されるEN信号に同期して、加算器169からの除算値、すなわち補間点「X」の補間値Xを出力する。

【0158】以上説明したように、本実施の形態においては、HDフォーマットの映像信号とSDフォーマットの映像信号を同一の回路、すなわち、補間回路22によって補間することができる。なお、HDフォーマットの映像信号に対しては4点補間処理を実行し、SDフォーマットの映像信号に対しては、4点補間処理ではなく、16点補間処理を実行するようにしたので、従来型SD専用機器と同等品質の補間値を得ることができる。

【0159】なお、本発明は、映像信号を処理するあらゆる機器に適用することが可能である。

【0160】ところで、上述した一連の処理は、ハードウェアにより実行させることもできるが、ソフトウェアにより実行させることもできる。一連の処理をソフトウェアにより実行させる場合には、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどに、記録媒体からインストールされる。

【0161】この記録媒体は、図1に示すように、コンピュータとは別に、ユーザにプログラムを提供するために配布される、プログラムが記録されている磁気ディスク6(フロッピーディスクを含む)、光ディスク7(CD-RCompact Disc-Read Only Memory)、DVD(Digital Versatile Disc)を含む)、光磁気ディスク8(MD(Mini Disc)を含む)、もしくは半導体メモリ9などよりなるパッケージメディアにより構成されるだけでなく、コンピュータに予め組み込まれた状態でユーザに提供される、プログラムが記録されているROMやハードディスクなどで構成される。

【0162】なお、本明細書において、記録媒体に記録

されるプログラムを記述するステップは、記載された順序に従って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

【0163】また、本明細書において、システムとは、複数の装置により構成される装置全体を意味する。

【0164】

【発明の効果】以上のように、本発明の画像処理装置および方法、並びに記録媒体のプログラムによれば、分離した連続する複数の色差信号を用いて所定の位置に対応する色差信号を補間し、補間した色差信号に対応する輝度信号と同時に出力するようにしたので、メモリを効率的に利用でき、かつ、色操作に関する処理を施すことが可能となる。

【図面の簡単な説明】

【図1】本発明を適用した画像台成装置の構成例を示すブロック図である。

【図2】図3の構成例を示すブロック図である。

【図3】Hフィルタ14における色差信号U、Vを補間する処理の概念を説明するための図である。

【図4】Hフィルタ14の色差信号U、Vを補間する処理に関わる部分の構成例を示すブロック図である。

【図5】図4の4点補間回路40の構成例を示すブロック図である。

【図6】スキャンコンバータ15の構成例を示すブロック図である。

【図7】スキャンコンバータ15のフィールド単位で走査方向を垂直に変換する処理の大まかな時間推移を示す図である。

【図8】フィールド単位で記録した映像信号を垂直走査の順序でバースト(burst)転送するSDRAM64-1、64-2と、バースト転送された映像信号をキャッシュするSRAM65との関係を模式的に示す図である。

【図9】SDRAM64の2種類のバンクに対する交互バーストでの連続アクセスのタイミングの一例を示す図である。

【図10】SDRAM64への連続アクセス(書き込み)を説明するための図である。

【図11】SDRAM64への連続アクセス(読み出し)を説明するための図である。

【図12】SDRAM64に対する、HDフォーマット(1080×1920)の映像信号の2バンク4ワードバーストにおけるアドレスの2次元割り当ての一例を示す図である。

【図13】SDRAM64に対する書き込みアドレスを生成するカウンタ機構を説明するための図である。

【図14】SDRAM64からの連続読み出しの順序を示す図である。

【図15】SDRAM64に対する読み出しアドレスを生成

するカウンタ機構を説明するための図である。

【図16】SRAM65を構成するメモリをリングとして用いる概念を示す図である。

【図17】SRAM65を構成する4個のメモリを4重のリングとして用いる概念を示す図である。

【図18】コンバータ67が色差信号U、Vの値を8ビットに削減して映像信号(Y/U/V/K)を36ビット幅に変換する処理を説明するための図である。

【図19】バッファ20の構成例を示すブロック図である。

【図20】バッファ20のユニットU0の構成例を示すブロック図である。

【図21】スキャンコンバータ15から入力されるHDフォーマットの映像信号のユニットU0乃至L1に対する割り付けを示す図である。

【図22】バッファ20に設定されるリードアドレスの座標系を示す図である。

【図23】バッファ20のデータ領域にEVENフィールドの映像信号が書き込まれている状態を示す図である。

【図24】4点補間処理に用いる4個の画素の位置を示す図である。

【図25】4点補間処理に用いる4個の画素が存在しない例を示す図である。

【図26】バッファ20の有効アクセス領域に設ける領域外データバンドを示す図である。

【図27】バッファ20のデータ領域にEVENフィールドの映像信号が書き込まれ、その周囲に領域外データバンドが設定されている状態を示す図である。

【図28】バッファ20に領域外データバンドが設定されたことによって4点補間処理が可能となることを説明するための図である。

【図29】スクリーンアドレスとリードアドレスとの関係を説明するための図である。

【図30】アドレスジェネレータ21によるスーパーバインタポレーションを説明するための図である。

【図31】スーパーバインタポレーションの処理タイミングを説明するための図である。

【図32】アドレスジェネレータ21の構成例を示すブロック図である。

【図33】スーパーバインタポレーションブロック93の構成例を示すブロック図である。

【図34】REG_V_START_XLレジスタ101-X乃至REG_V_END_ZRレジスタ106-Zに保持させる関数値X(0,0)乃至Z(1919,539)を示す図である。

【図35】ミキサ係数ブロック92に内蔵されているレジスタと、そこに保持されているミキサ係数との対応関係を示す図である。

【図36】ミキサ111-X乃至111-Zへの関数値の入力元および出力先を示す図である。

【図37】図36に対応する関数値X(H,V)を補間するブ

ロックの状態を示す図である。

【図38】ミキサ111-X乃至111-Zへの関数値の入力元および出力先を示す図である。

【図39】図38に対応する関数値X(H,V)を補間するブロックの状態を示す図である。

【図40】ミキサ111-X乃至111-Zへの関数値の入力元および出力先を示す図である。

【図41】図40に対応する関数値X(H,V)を補間するブロックの状態を示す図である。

【図42】補間回路42の構成例を示すブロック図である。

【図43】垂直方向比例分配回路121の構成例を示すブロック図である。

【図44】水平方向比例分配回路123の構成例を示すブロック図である。

【図45】16点補間処理に用いる補間係数C0乃至C7の値を示す図である。

【図46】HDフォーマットの映像信号に対する4点補間処理を説明するための図である。

【図47】スキャンコンバータ15のコンバータ67による、SDフォーマットの映像信号に対するフィールド・フレーム変換を説明するための図である。

【図48】スキャンコンバータ15から入力されるフィールド・フレーム変換されたSDフォーマットの映像信号のユニットU0乃至L1に対する割り付けを示す図である。

【図49】SDフォーマットの映像信号に対する16点補間処理を説明するための図である。

【図50】16点補間処理における垂直方向比例分配回路121、122の動作を説明するための図である。

【図51】16点補間処理における水平方向比例分配回路123の動作を説明するための図である。

【図52】16点補間処理における映像信号の読み出しタイミングを説明するための図である。

【図53】16点補間処理における垂直方向比例分配回路121、122の動作タイミングを説明するための図である。

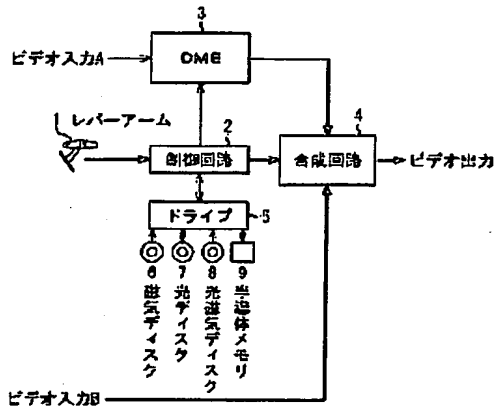
【図54】16点補間処理における水平方向比例分配回路123の動作タイミングを説明するための図である。

【符号の説明】

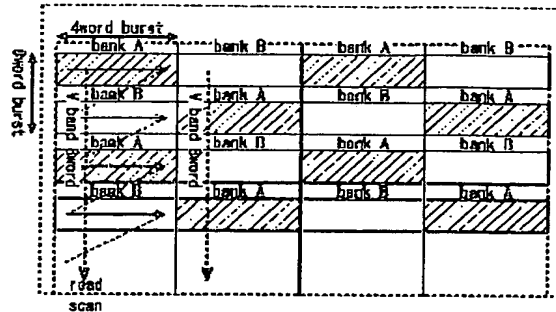
1 レバーアーム、2 制御回路、3 DME、4 合成回路、5 ドライブ、6 磁気ディスク、7 光ディスク、8 光磁気ディスク、9 半導体メモリ、11 HOFF、12乃至14 Hフィルタ、15 スキャンコンバータ、16 VOFF、17乃至19 Vフィルタ、20 バッファ、21 アドレスジェネレータ、22 補間回路、64 SCRAM、65 SRAM、67 コンバータ、73 SRA、93 スーパーバインタポレーションブロック、121 垂直方向比例分配回路、123 水平

方向比例分配回路

【図1】

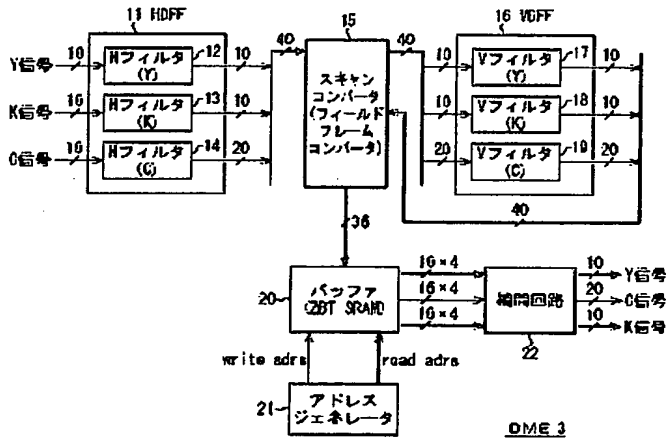


【図11】

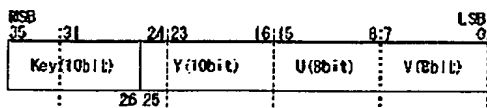


画像合成装置

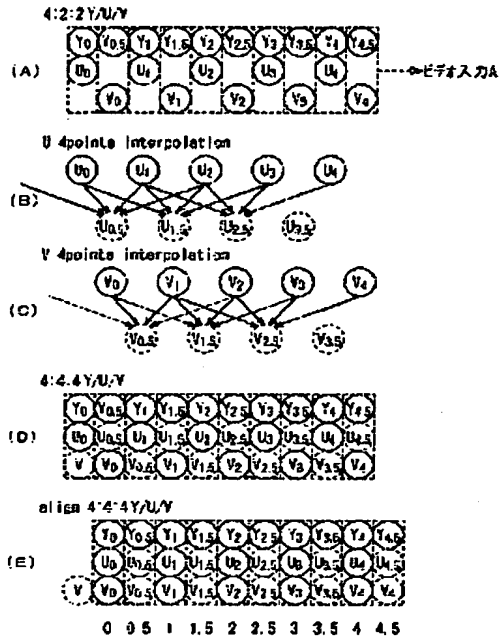
【図2】



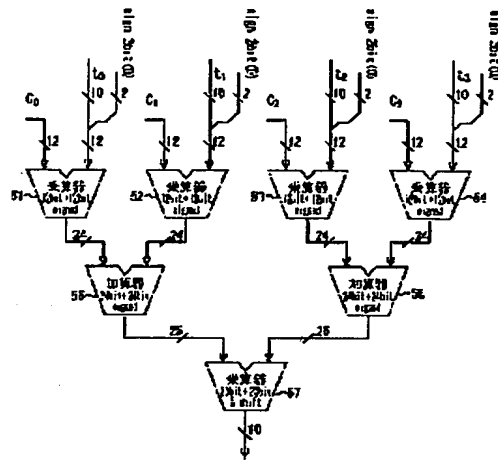
【図18】



【図3】

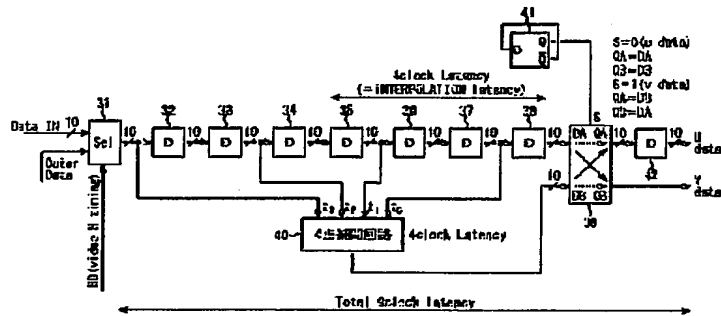


【図5】

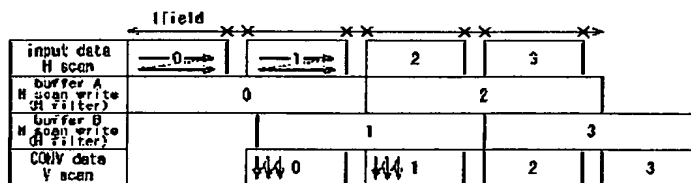


4点補間回路 40

【図4】



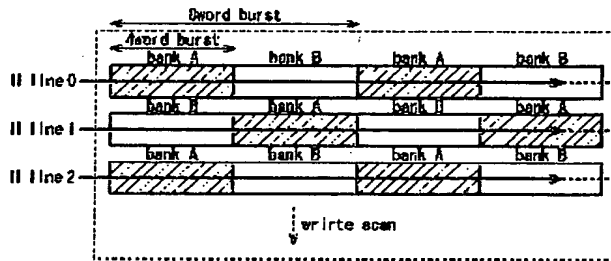
【図7】



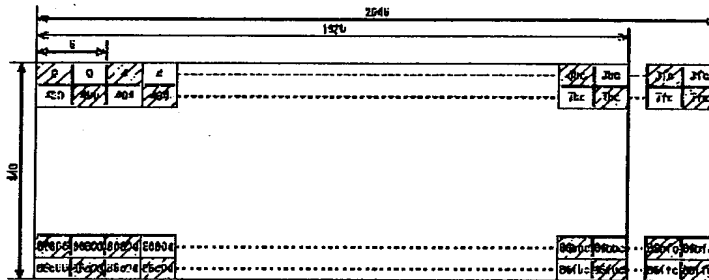
[illegible]

Timing diagram for Bank 0 and Bank 1 writes. The diagram shows signals for CLK, /CS, /RAS, /CAS, BA (A11), AP (A10), and Data. Bank 0 write (addresses 0-7) is initiated by /RAS and /CAS, and Bank 1 write (addresses 8-15) is initiated by /RAS and /CAS. The Data bus shows the sequence of data being written to each bank.

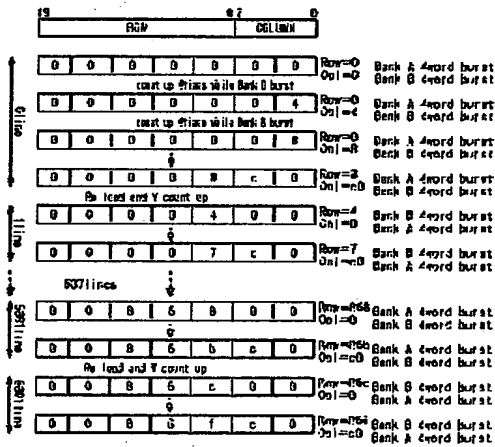
【図10】



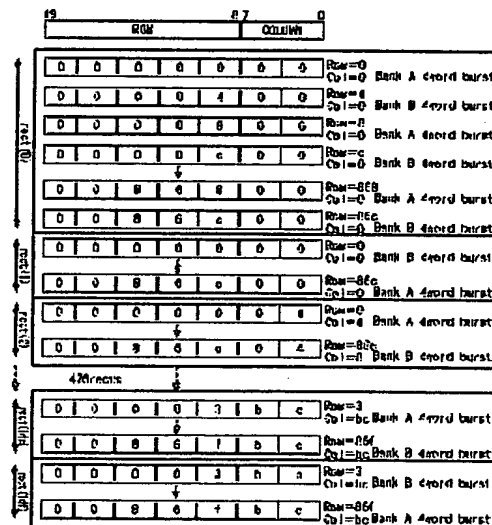
【図12】



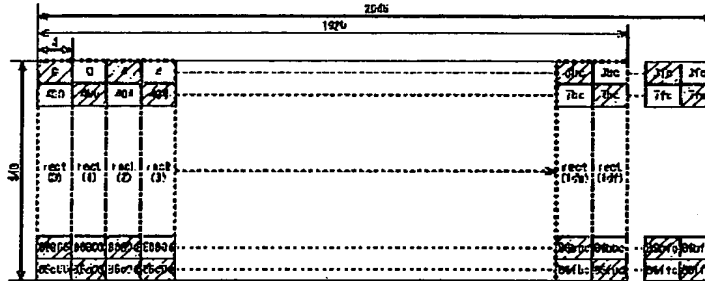
【図13】



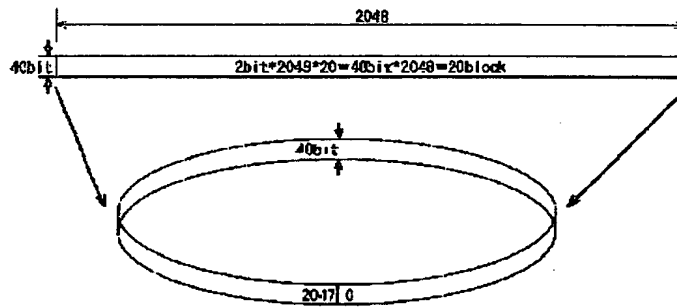
【図15】



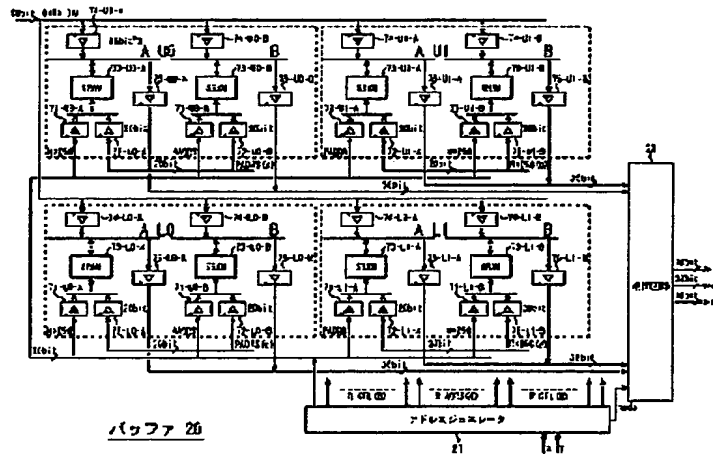
【图 14】



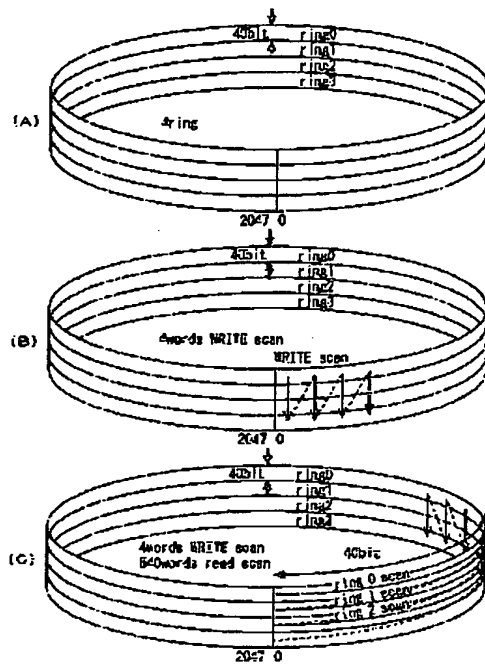
【图 16】



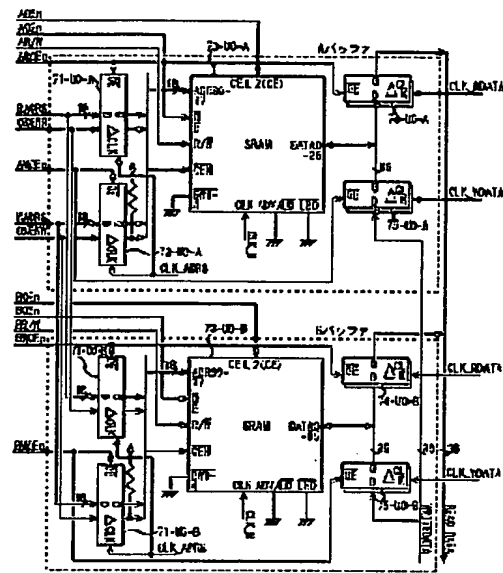
【圖 19】



【図17】

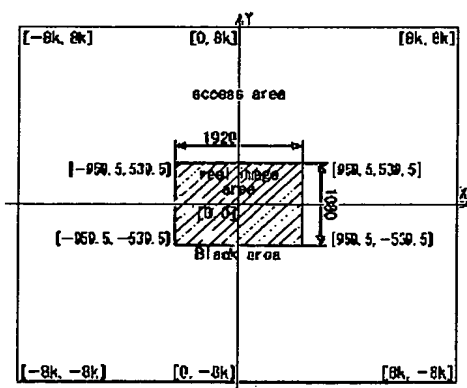


【図20】

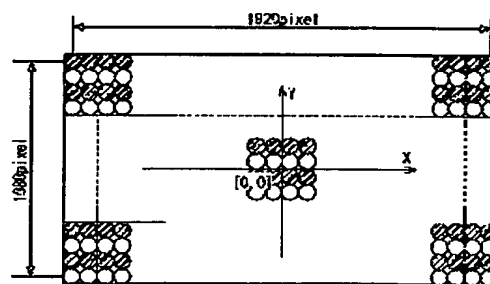


ユニット 10

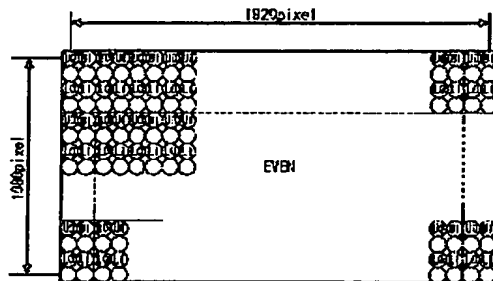
【図22】



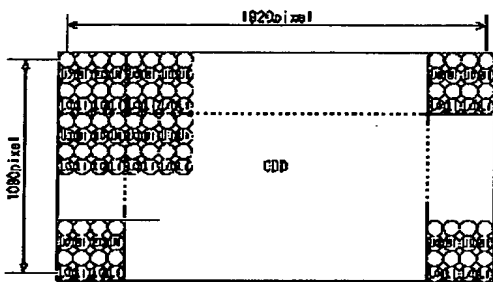
【図23】



【図21】

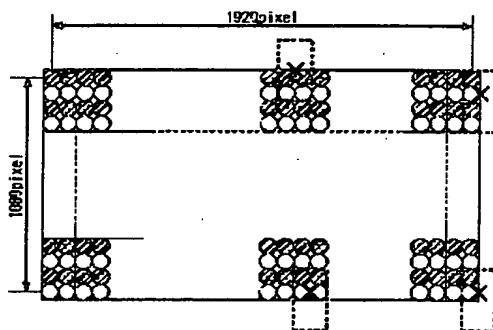


(A)

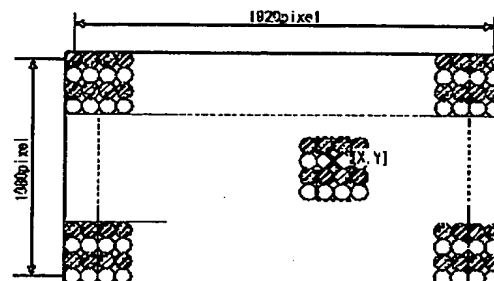


(B)

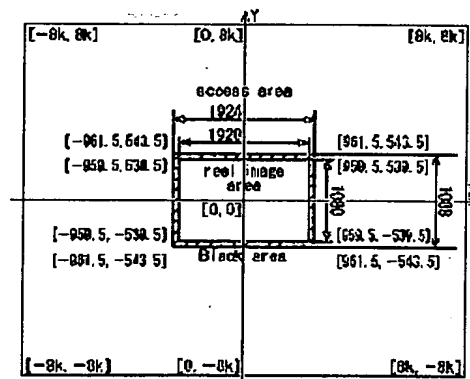
【図25】



【図24】

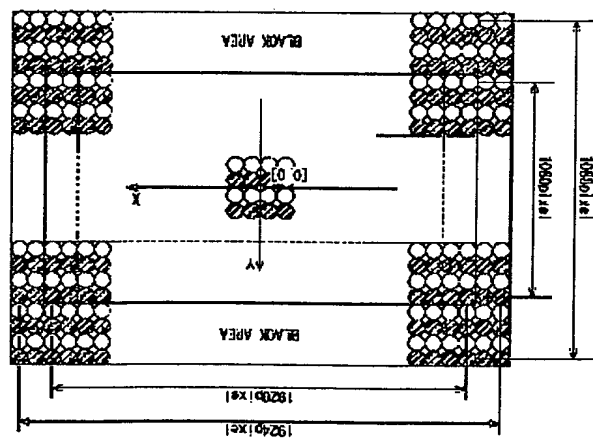


【図26】

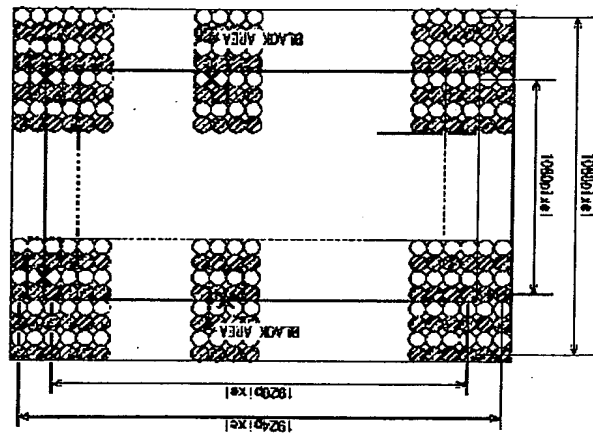
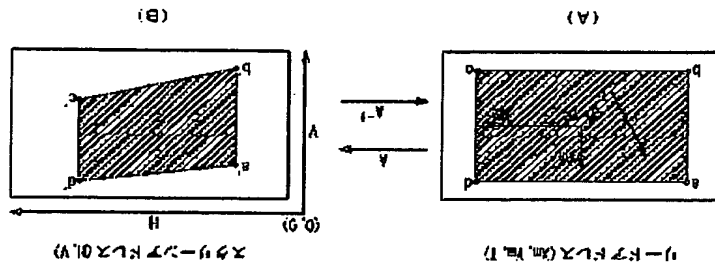


【図36】

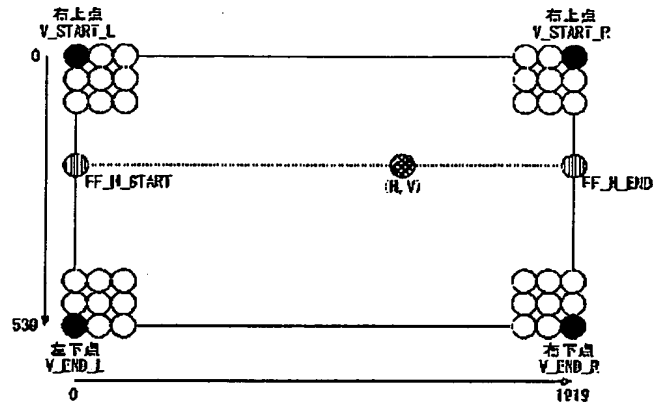
	Input A	Input B	MIX CoefficientKn	Output C
MIX(X)	REG_V_START_XL	REG_V_END_XL	X(V)Dn	FF_H_START_X
MIX(Y)	REG_V_START_YL	REG_V_END_YL	Y(V)Dn	FF_H_START_Y
MIX(T)	REG_V_START_TL	REG_V_END_TL	T(V)Dn	FF_H_START_T
MIX(Z)	REG_V_START_ZL	REG_V_END_ZL	Z(V)Dn	FF_H_START_Z



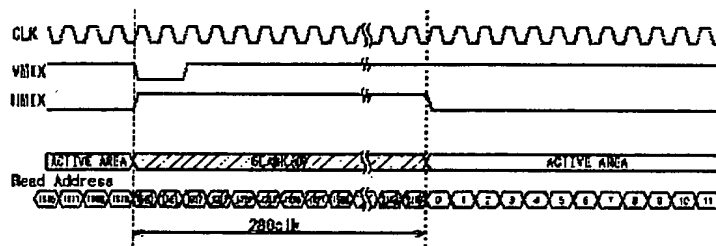
[83]

 $\text{I}^{\circ}\text{-K}^{\circ}\text{A}^{\circ}\text{B}^{\circ}\text{C}^{\circ}\text{D}^{\circ}\text{E}^{\circ}\text{F}^{\circ}\text{G}^{\circ}\text{H}^{\circ}\text{I}^{\circ}$ 

【図30】

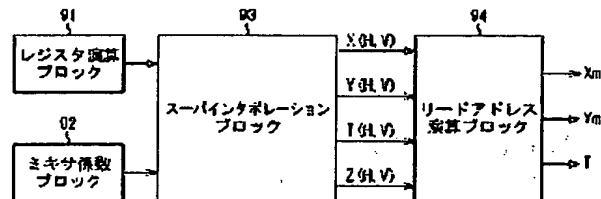


【図31】



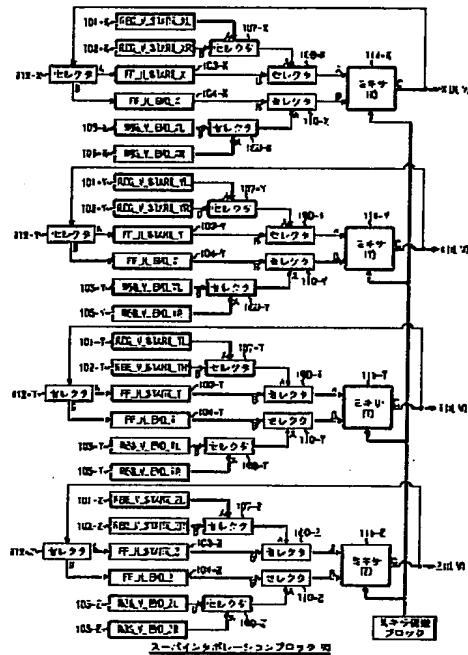
CLK クロック信号(1クロックは1ピクセルの処理時間に相当する)
 VMIX Super Interpolation (V) の処理開始Enable信号
 HMIX Super Interpolation (H) の処理開始Enable信号
 Read Address Address Generatorの処理プロセス

【図32】

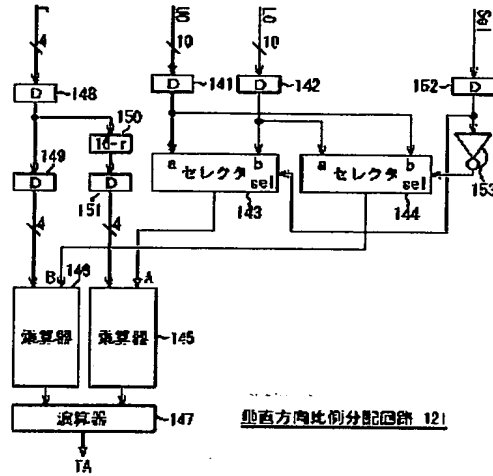


アドレスジェネレータ 21

【図33】



【図43】



【図34】

Address[4:0]	Register	Data[bit]	Remarks
0x00	REG_V_START_XL	24	左上点(X)
0x01	REG_V_START_YL	24	左上点(Y)
0x02	REG_V_START_TL	24	左上点(T)
0x03	REG_V_START_ZL	24	左上点(Z)
0x04	REG_V_END_XL	24	左下点(X)
0x05	REG_V_END_YL	24	左下点(Y)
0x06	REG_V_END_TL	24	左下点(T)
0x07	REG_V_END_ZL	24	左下点(Z)
0x08	REG_V_START_XR	24	右上点(X)
0x09	REG_V_START_YR	24	右上点(Y)
0x0a	REG_V_START_TR	24	右上点(T)
0x0b	REG_V_START_ZR	24	右上点(Z)
0x0c	REG_V_END_XR	24	右下点(X)
0x0d	REG_V_END_YR	24	右下点(Y)
0x0e	REG_V_END_TR	24	右下点(T)
0x0f	REG_V_END_ZR	24	右下点(Z)

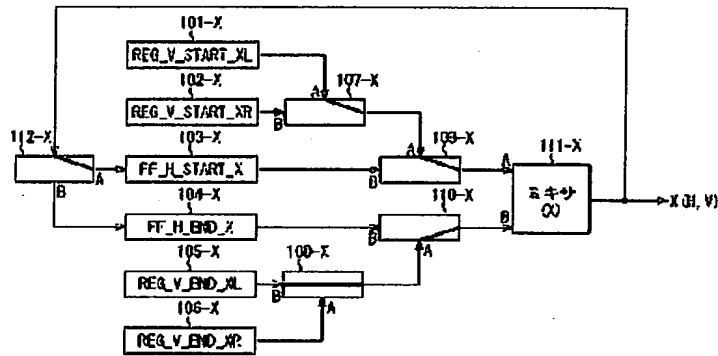
【図38】

	Input A	Input B	MIX CoefficientKn	Output C
MIX(X)	REG_V_START_XR	REG_V_END_XR	X(V)Dn	FF_H_END_X
MIX(Y)	REG_V_START_YR	REG_V_END_YR	Y(V)Dn	FF_H_END_Y
MIX(T)	REG_V_START_TR	REG_V_END_TR	T(V)Dn	FF_H_END_T
MIX(Z)	REG_V_START_ZR	REG_V_END_ZR	Z(V)Dn	FF_H_END_Z

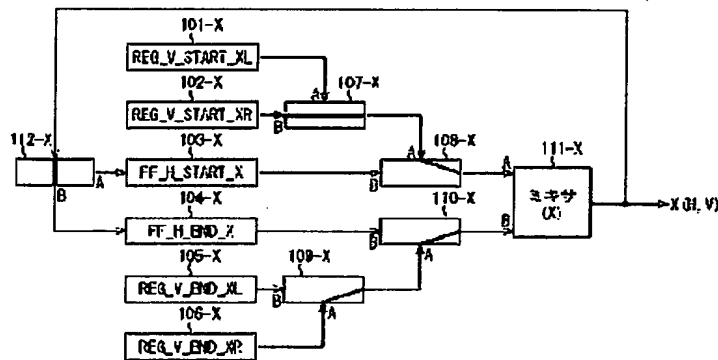
【図35】

Address[11:0]	Register	Data[bit]	Remarks
0x0000	Coefficient H K0	24	Coefficient H table
0x0001	Coefficient H K1	24	
0x0002	Coefficient H K2	24	
...
0x07fe	Coefficient H K2046	24	D2047
0x07ff	Coefficient H K2047	24	
0x800	Coefficient V K0	24	Coefficient V table
0x801	Coefficient V K1	24	
0x802	Coefficient V K2	24	
...
0xffe	Coefficient V K2046	24	D2047
0xffff	Coefficient V K2047	24	

【図37】



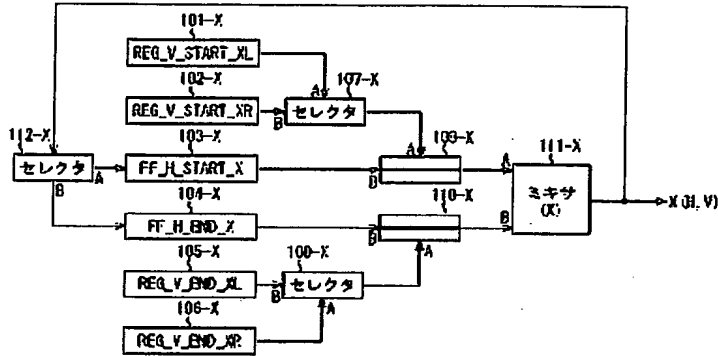
【図39】



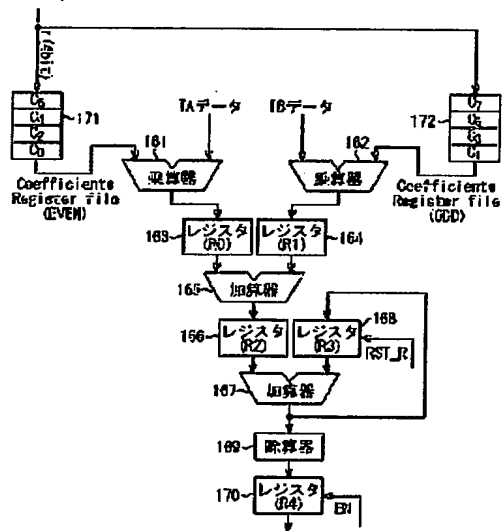
【図40】

	Input A	Input B	MIX Coefficientfn	Output C
MIX(X)	REG_H_START_X	REG_H_END_X	X(H)Dn	X(H, V)
MIX(Y)	REG_H_START_Y	REG_H_END_Y	Y(H)Dn	Y(H, V)
MIX(T)	REG_H_START_T	REG_H_END_T	T(H)Dn	T(H, V)
MIX(Z)	REG_H_START_Z	REG_H_END_Z	Z(H)Dn	Z(H, V)

【図41】

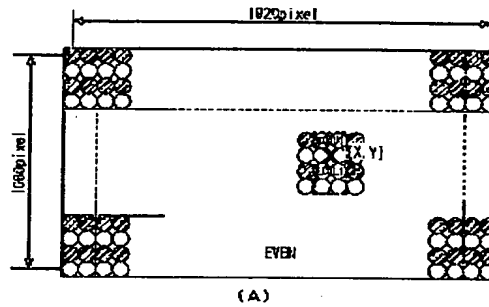


【図44】

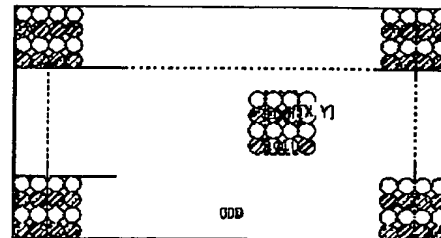


水平方向比例分配回路 123

【図46】



(A)



(B)

【図45】

r' 4bit value	C0	C1	C2	C3	C4	C5	C6	C7	$\sum_{i=0}^7 C_i$
0x0	0	0	0	2048	0	0	0	0	2048
0x1	-10	35	-103	2046	122	-41	13	-8	2048
0x2	-19	64	-188	1988	260	-85	27	-9	2048
0x3	-25	87	-255	1928	412	-131	43	-11	2048
0x4	-29	103	-302	1834	575	-177	58	-14	2048
0x5	-32	114	-331	1718	745	-222	74	-18	2048
0x6	-32	110	-344	1582	920	-263	89	-22	2048
0x7	-31	117	-342	1431	1066	-290	101	-25	2048
0x8	-28	111	-326	1267	1267	-326	111	-28	2048
0x9	-25	151	-289	1096	1431	-342	117	-31	2048
0xA	-22	80	-283	920	1582	-344	118	-32	2048
0xB	-18	74	-222	745	1718	-331	114	-32	2048
0xC	-14	58	-177	575	1834	-302	103	-29	2048
0xD	-11	43	-131	412	1928	-255	87	-25	2048
0xE	-8	27	-85	260	1988	-188	54	-10	2048
0xF	-8	13	-41	122	2040	-103	35	-10	2048

【図52】

(A)



(B) Cycle 0



(C) Cycle 1



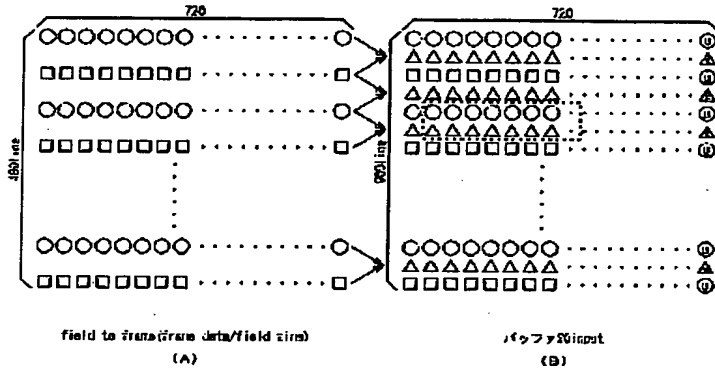
(D) Cycle 2



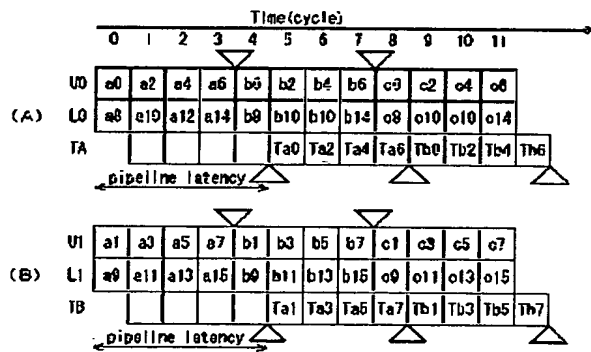
(E) Cycle 3



【図47】



【図53】



【图49】

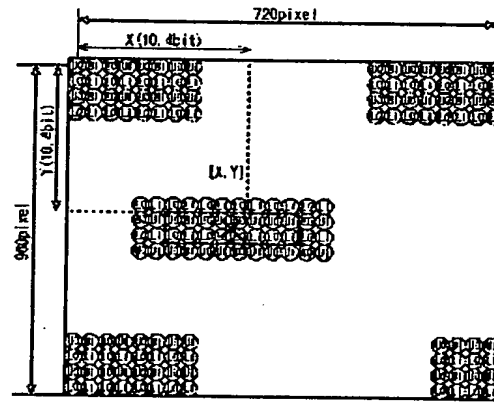


Figure 1 illustrates the process of generating a horizontal direction proportion distribution sequence. The process starts with a 10x10 grid of elements (00-99). This grid is divided into two horizontal sequences: "Horizontal Upper 8 Elements" (00-07) and "Horizontal Lower 8 Elements" (08-15). These are then mapped to a 3x8 grid of elements (16-23, 24-31, 32-39). A vertical arrow indicates a "Vertical Direction Proportion Distribution" step, leading to a single horizontal sequence of 122 elements (00-121).

